



SoSe 2015 - Übungszettel 12

(Besprechung: 01.08.2015)

Aufgabe 1

Der digitale Regler aus Übungsblatt 8 soll in dieser Übung so vorbereitet werden, dass er durch eine automatisierte HDL-Codegenerierung als Komponente in das VHDL-Projekt eingebunden werden kann.

- a) Um eine Sollwertänderung auf dem DE2-Board vornehmen zu können, muss der Regler neben dem Sensoreingang um einen zweiten Eingang erweitert werden.
- b) Ersetzen Sie das *Triggered Subsystem* durch ein normales Subsystem mit vorgelagerten *Rate Transitions*.
- c) Platzieren Sie vor und nach dem Regler *Data Type Conversion*-Blöcke die Übertragung der Signale auf 8 Bit zu begrenzen.
- d) Simulieren Sie das Systemverhalten und lassen Sie sich über *Display* → *Signal & Ports* → *Port Data Types* die Datentypen der Signale anzeigen.

Erstellen Sie nun über die VHDL-Komponente über das Kontextmenü des Subsystems *HDL Code* → *Generate HDL for Subsystem*.