

Entwurfsentropie: Ein Maß im Schaltungsentwurf

Menhorn, Benjamin und Slomka, Frank

Institut für Eingebettete Systeme/ Echtzeitsysteme, Universität Ulm

Kurzfassung

Diese Arbeit stellt einen neuen Ansatz bei der Bewertung integrierter Schaltungen dar. Hierbei wird der Begriff der Entwurfsentropie eingeführt, mit dessen Hilfe es auf mathematische Weise möglich ist, die Komplexität der Struktur, der Implementierung und der Verifikation eines Systems zu berechnen.

Die Entwurfsentropie, wird dabei von der Informationstheorie abgeleitet und bietet den Vorteil Schaltungen direkt bewerten zu können, ohne dass Daten von vorhergegangenen Projekten aufgezeichnet, ausgewertet und abgeleitet werden müssen, um das aktuelle Projekt zuverlässig schätzen zu können.

Am Anfang der Arbeit ist das primäre Ziel zu zeigen, dass sich die Bewertung der Komplexität einer Schaltung grundsätzlich aus der Schaltungsstruktur ergibt und dass eine Schätzung nicht erforderlich ist, um diese Komplexität zu bestimmen.

1 Einleitung

1.1 Motivation

In den meisten Ingenieurdisziplinen ist die Aufwandsberechnung von zentraler Bedeutung. Eine Abschätzung des Projektumfangs trifft eine Aussage inwieweit die Realisierung lohnend ist [6].

Informatik, speziell der digitale Schaltungsentwurf, stellt eine sehr junge Ingenieurwissenschaft dar. Des Weiteren unterliegt sie sehr schnellen Veränderungen und Weiterentwicklungen, so dass einerseits auf nur einige zehn Jahre an Erfahrung zurückgegriffen werden kann und andererseits die gewonnenen empirischen Daten nur schwer auf neue Projekte mit neuer Technologie angewendet werden können. War es in den ersten Tagen der Mikroelektronik noch relativ einfach die Komplexität einer Schaltung abzuschätzen, indem man einfach die Anzahl der benötigten Transistoren zählte, bedingen heute die neuen Methoden des Hardwareentwurfes mit Hilfe von Hardwarebeschreibungssprachen ein Komplexitätsmaß, das eher den Methoden des Software-Engineering entspricht. Bei bis zu zwei Milliarden Transistoren pro Chip und verschiedensten Möglichkeiten der Verschaltung und Architektur, ist ein einfaches Zählen der Transistoren eine unzulängliche Abschätzung des Aufwandes [8].

Die meisten Methoden der Aufwandsschätzung basieren heute auf empirischen Daten, indem man frühere Projekte analysiert und versucht, daraus Regeln für den Aufwand kommender Projekte abzuschätzen [9]. Besonders beim Hardwareentwurf stellt sich diese Vorgehensweise als schwierig heraus, da durch den Einsatz neuer Entwurfsmethoden und die Einführung verschiedener Abstraktionsebenen die Vergleichbarkeit der Daten erheblich erschwert wird [7].

Im Folgenden soll daher ein neues Maß, die Entwurfsentropie, vorgestellt werden, das auf jede Abstraktionsebene im Schaltungsentwurf angewandt werden kann und es somit erlaubt, den Einfluss einer neu eingeführten Abstraktionsebene auf die Komplexität des Entwurfs zu berechnen. Dieses ist der erste Schritt, um eine neue Methode zur Aufwandsschätzung zu finden.

Die Anzahl der möglichen Zustände stellt die Kerngröße der Entwurfsentropie dar. Im vorliegenden Fall sollen rein binäre Zustände mit nur zwei Möglichkeiten betrachtet werden, um das neue Modell vorzustellen. Zustände sind jedoch eine abstrakte Größe, die ebenfalls in der Softwareentwicklung, bei Multinature Systemen oder auch im analogen Schaltungsbau definiert werden können, z.B. die Gatebreite eines Transistors oder seine Ausrichtung. Damit sind die in dieser Arbeit definierten Formeln allgemein für die Hard- und Softwareentwicklung gültig, was in folgenden Arbeiten noch gezeigt werden wird.

1.2 Die Entwurfsücke

Im Zusammenhang mit integrierten Schaltkreisen wird oft das Moor'sche Gesetz für den Zusammenhang zwischen Komplexität einer Schaltung und deren zeitliche Entwicklung verwendet. Als Maß für die Komplexität werden hierbei die Transistoren pro Chipfläche zu Grunde gelegt. Betrachtet man die Anzahl der Transistoren pro Fläche, findet man in jeder Halbleitertechnologie die höchste Transistorendichte bei Speicherschaltungen. Daher kann die Anzahl der verwendeten Transistoren pro Speicherchip als die Obergrenze der wirtschaftlichen Machbarkeit an Transistoren eines Halbleiters gesehen werden.

Betrachtet man nun die Transistorendichte für Prozessoren stellt man fest, dass Prozessoren eine wesentlich

geringere Transistorendichte haben als Speicherchips. Diese Lücke wird Entwurfsflücke genannt. Sie zeigt für Prozessoren die Entwurfsflücke zwischen der maximalen Anzahl der Transistoren und der tatsächlichen Anzahl der Transistoren pro Chip. Die Komplexität der Schaltungen, gemessen an der Anzahl der Transistoren, steigt pro Jahr um knapp 60% während sich die Entwurfsproduktivität aber nur um etwa 20% steigert. Begründet wird diese Entwurfsflücke mit dem Fehlen an geeigneten Entwurfswerkzeugen für den Chipentwurf und einer dadurch bedingten geringeren Produktivität der Chipentwickler [1].

1.3 Ansatzpunkt

Diese Arbeit verfolgt die These, dass die Lücke zwischen Komplexität und Produktivität nicht direkt auf den Entwurfswerkzeugen beruht, sondern dass Entwurfswerkzeuge, Abstraktionsebenen und Schaltungsarchitekturänderungen die Entwurfsflücke beeinflussen, jedoch diese grundsätzlich nicht verursachen. Als Erklärung der Entwurfsflücke wird davon ausgegangen, dass diese auf der Struktur der zu implementierenden Schaltung basiert. Hierzu muss zwischen regelmäßigen und unregelmäßigen Strukturen unterschieden werden. Speicher weisen eine regelmäßige Struktur auf. Das bedeutet, dass nur eine Speicherzelle entwickelt werden muss und diese dann in beliebigen Mengen kopiert werden kann. Fügt man diese Speicherzellen nun zu einem Gitternetz zusammen entsteht mit einer separat entwickelten Steuerlogik eine entwicklungs-technisch einfache regelmäßige Struktur.

Betrachtet man nun einen Prozessor, nimmt die Steuerlogik den meisten Platz auf dem Chip ein. Diese ist eine unregelmäßige Struktur, die schwerer zu entwerfen ist. Durch Architekturveränderungen des Prozessors z.B. durch mehr Speicher auf dem Prozessorchip, erhöht man nicht nur den Einsatz regulärer Strukturen, sondern auch den Datendurchsatz. Reduziert man gleichzeitig den Aufwand für irreguläre Strukturen, z.B. durch den Einsatz von RISC-Befehlsätzen, kann das Verhältnis zwischen irregulären und regulären Schaltungsstrukturen weiter verbessert werden.

Diese unterschiedliche Komplexität von Entwürfen stellt die Grundlage der folgenden Überlegungen dar. Im nächsten Teil wird das neue Komplexitätsmaß eingeführt, woraus sich die Entwurfsentropie ableiten lässt.

2 Komplexität im Entwurf Integrierter Schaltungen

2.1 Vorüberlegungen

Offensichtlich steigt die Komplexität eines aus Grundelementen zusammengesetzten Systems mit der Anzahl der zu verbindenden Elemente. Dieses soll anhand eines vermaschten Systems und eines Systems mit Gatterelementen verdeutlicht werden. Dazu wird ein Graph

mit n Knoten betrachtet. Werden alle Knoten miteinander verbunden entstehen dabei k mögliche Verbindungen (Kanten). Diese Verbindungen stellen die Komplexität des Graphen dar. Bei einer integrierten Schaltung entsprechen die Knoten den Transistoren und die Verbindungen den Verdrahtungen.

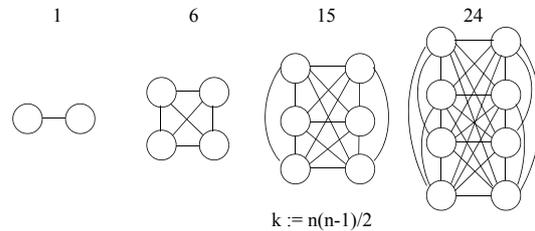


Bild 1 Komplexität eines Graphen in Abhängigkeit der Knotenanzahl

Abbildung 1 zeigt, wie die Komplexität mit Zunahme der Elemente nichtlinear steigt. Da jedes Element theoretisch mit jedem anderen Element verbunden werden kann, ergeben sich bei n Elementen für jedes Element $(n - 1)$ Verbindungen. Daraus ergeben sich also insgesamt $n(n - 1)$. Da dann alle Verbindungen doppelt gezählt werden, muss noch durch 2 geteilt werden und es ergeben sich $k = \frac{n(n-1)}{2}$ mögliche Verbindungen [2].

Als Beispiel soll ein Speicher mit x Zeilen, die jeweils aus y Speicherzellen bestehen, betrachtet werden. Die Speicherzellen der einzelnen Zeilen werden durch einen Adressmultiplexer und Tristatetreiber auf einen gemeinsamen Ausgang geschaltet. Daher ist jede Speicherzelle Kante zum gemeinsamen Ausgang. Für die Auswahl der Zeile werden dann noch x Steuerleitungen benötigt. Daher ergibt sich die Anzahl der Verbindungen zu: $k_{\text{Speicher}} = x + xy + x(y-1) = x(1 + y + y - 1) = 2xy$.

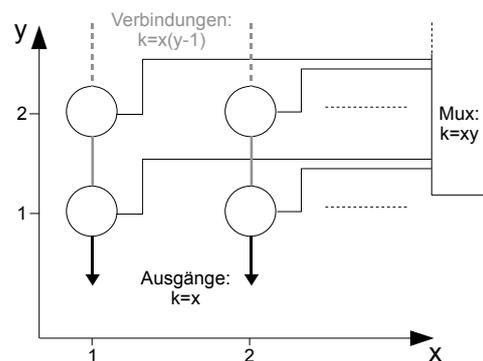


Bild 2 Vereinfachtes Modell der Komplexität eines Speichers

Die maximal denkbare Anzahl an Verbindungen ist $k_{\text{max}} = \frac{xy(xy-1)}{2}$. Bei einem Speicher mit nur 8 Zeilen und je 4 Stellen pro Zeile sind dies bereits $k_{\text{max}} = 496$

Verbindungen im Gegensatz zu $k_{\text{Speicher}} = 64$, d.h. 432 zusätzliche Verbindungen.

2.2 Schaltungskomplexität

Ausgehend von den im vorherigen Abschnitt vorgestellten Überlegungen, soll im Folgenden ein Komplexitätsmaß definiert werden, das die Regularität sowie die an eine Schaltung gestellten Anforderungen berücksichtigt. Da offensichtlich die Ordnung der gewählten Schaltungsstruktur die Komplexität maßgeblich beeinflusst und die Einschränkungen von Freiheitsgraden, z.B. durch Einführung von Abstraktionsebenen, zu einfacher zu beherrschenden Entwürfen führt, wird vorgeschlagen ein Ordnungsmaß zu verwenden, das auf der Anzahl der zu berücksichtigenden Freiheitsgrade der Zustände der Systemelemente beruht.

Ausgehend von der Informationstheorie wird im Folgenden ein solches Maß definiert. Die Shannon'sche Informationsentropie stellt eine theoretische Grundlage für die Übertragung von Informationen dar. Bei integrierten Systemen kann die Information als Zustand mit den zwei Möglichkeiten "AN" und "AUS" bzw. "0" und "1" beschrieben werden.

2.3 Entwurfsentropie

2.3.1 Shannon'sche Informationstheorie

Um mathematische Aussagen über Nachrichten und deren Übertragung machen zu können, entwickelte C.E. Shannon ein Modell, das als Shannon'sche Informationstheorie bekannt wurde. Dabei wird einem Zeichen der Informationsgehalt $I = 1\text{Bit}$ zugeordnet, wenn der Zeichenvorrat aus nur zwei Zeichen besteht [4]. Daraus kann die mittlere Bitzahl pro Zeichen berechnet werden, welche (Informations-) Entropie genannt wird. Diese Entropie ist maximal, wenn alle Ereignisse gleichverteilt sind, d.h. wenn die Wahrscheinlichkeit, dass das Zeichen eine der beiden Möglichkeiten ("0" oder "1") annimmt, gleich groß ist.

Im Fall einer digitalen Schaltung ist die Gleichverteilung bei den Eingängen dadurch gegeben, dass hier beide Zustände anliegen können, also "0" und "1". Soll das System vollständig verifiziert werden, d.h. werden alle Eingänge mit allen möglichen Permutationen belegt um die Ausgabe zu überprüfen, ist ebenfalls bei der Verifikation die Wahrscheinlichkeit gleich groß, dass eine der beiden Möglichkeiten an einem Eingang anliegt. Im späteren Betrieb der Schaltung können die Wahrscheinlichkeiten logischerweise abweichen, was beim Entwurf der Schaltung nicht berücksichtigt wird, da hier nur entscheidend ist, ob das System korrekt arbeitet und hierbei nicht bekannt ist, welcher Zustand ("0" oder "1") häufiger angelegt werden wird.

2.3.2 Informationsentropie

Im vorherigen Teil wurde der logische Zusammenhang der Informationstheorie und den hier zu behandelnden

digitalen Schaltungen erläutert. Daher wird nun kurz das Konzept der Shannon'schen Informationsentropie vorgestellt, aus welchem dann im Folgenden die Entwurfsentropie abgeleitet wird. Shannon [3] fand als mittlere Information \bar{I} :

$$S = \bar{I} = - \sum_{\alpha} p_{\alpha} \ln(p_{\alpha}) \quad (1)$$

, wobei p_{α} die Wahrscheinlichkeit für den Eintritt des Elementarereignisses α ist. Diese mittlere Information wird als Informationsentropie bezeichnet. Diese nimmt ihren Maximalwert an, wenn die Realisierung aller Ereignisse $\alpha = 1, \dots, N$ gleichverteilt ist:

$$S_{\max} = - \sum_{\alpha=1}^N \frac{1}{N} \ln\left(\frac{1}{N}\right) = \ln(N) \quad (2)$$

Daraus ergibt sich nun folgende Ungleichung:

$$S_{\max} \geq S \quad \Leftrightarrow \quad \ln(N) \geq - \sum_{\alpha} p_{\alpha} \ln(p_{\alpha}) \quad (3)$$

Bei einer Gleichverteilung gilt $N = \frac{1}{p_{\alpha}} = p_{\alpha}^{-1}$ und es folgt:

$$\ln(p_{\alpha}) \leq \sum_{\alpha} p_{\alpha} \ln(p_{\alpha}) \quad (4)$$

Beim weiteren Vorgehen auf dem Weg zur Definition der Entwurfsentropie wird nun auf eine analoge Vorgehensweise wie in der Thermodynamik zurückgegriffen. In der Informationstheorie ist N die Größe des Zeichenvorrats und spiegelt beim Schaltungsentwurf und in der Thermodynamik die Anzahl der möglichen Zustände wieder. Da die Wahrscheinlichkeiten für das Auftreten der Ereignisse nicht bekannt sind, müssen diese "a priori" angegeben werden (in Thermodynamik geschieht die Verallgemeinerung des Zustandsbegriffes mit Hilfe eines Ensembles). Im vorliegenden Fall wird die Beschaltbarkeit betrachtet: Ist es an einem Ein- oder Ausgang möglich, jeden der Zustände anzulegen, muss von einer gleichverteilten Wahrscheinlichkeit ausgegangen werden. Ist dagegen eine der Wahrscheinlichkeiten gleich eins, sind alle anderen gleich null und damit die Entropie ebenfalls null [10] [11].

2.3.3 Definition der Entwurfsentropie

Das Konzept der Entwurfsentropie besteht im wesentlichen aus drei Entropien, die einzeln berechnet werden können: Die Verhaltensentropie, die Strukturentropie und die Verifikationsentropie. Die Entwurfsentropie stellt den Überbegriff der folgenden Formeln dar:

Definition 1: Die Komplexität einer Schaltung ist durch die Anzahl der Eingänge n , die Anzahl der Ausgänge m und die Anzahl der möglichen Zustände z gegeben und wird Verhaltensentropie S_V genannt.

$$S_V = m \cdot \ln(z^n) \quad (5)$$

Begründung: Es sind jeweils z^n Belegungen der Eingänge möglich. Da die Belegung eines Eingangs ein unabhängiges Ereignis von der Belegung eines anderen Eingangs ist wird durch den Logarithmus die Additivität der Entropie der unabhängigen Ereignisse garantiert. Die Ausgänge stellen jedoch keine unabhängigen Ereignisse dar, so dass hier das Produkt genommen werden muss [5]. \square

Definition 2: Besteht ein System aus k Submodulen, mit den jeweiligen Ein- und Ausgängen n_i und m_i , $i = 1, \dots, k$ für die jeweils eine eigene EntwurfSENTROPIE berechnet werden kann, so kann die Implementierungskomplexität des Systems berechnet werden, welche Strukturentropie S_S genannt wird, während die Entropie des Gesamtsystems mit n_g Eingängen und m_g Ausgängen die Verhaltensentropie S_V ist. Dabei gilt analog der Informationstheorie:

$$S_S = \sum_{i=1}^k m_i z^{n_i} \ln(z^{n_i}) \geq m_g \ln(z^{n_g}) = S_V \quad (6)$$

Begründung: Vergleicht man die EntwurfSENTROPIE (5) mit (4) entspricht p_α dem Ausdruck z^n . Folgt man nun der Theorie, kann man die p_α in der Ungleichung (4) ebenfalls mit z^n ersetzen und man erhält bis auf den Faktor m die Ungleichung (6). Der Faktor m ergibt sich aus der Begründung der Definition 1. \square

Definition 3: Besteht ein System aus l verschiedenartigen Submodulen mit den EntwurfSENTROPIS $S_i = m_i \cdot \ln(z^{n_i})$ für $i = 1, \dots, l$ ist die Verifikationsentropie S_W geben durch:

$$\begin{aligned} S_W &= \sum_{i=1}^l S_i + S_V \\ &= \sum_{i=1}^l m_i \ln(z^{n_i}) + m_g \ln(z^{n_g}) \end{aligned} \quad (7)$$

Begründung: Bei der Verifikation eines Systems muss lediglich jede einzelne, verschiedene Komponente nur einmal verifiziert werden. Danach kann davon ausgegangen werden, dass andere Instanzen dieser Komponenten ebenfalls korrekt arbeiten, da diese nur Kopien darstellen. Weiterhin muss noch das Gesamtsystem verifiziert werden. Daher ergibt sich die Verifikationsentropie als Summe der zu verifizierenden Teile. \square

2.3.4 Anwendung der EntwurfSENTROPIS

Die Verhaltensentropie trifft eine generelle Aussage über die Spezifikationskomplexität des Gesamtsystems, während die Strukturentropie eine Aussage über die Komplexität der Implementierung des Systems trifft. Die Verifikationsentropie trifft wiederum eine Aussage darüber, wie groß der Aufwand bei der Verifikation

des Gesamtsystems und der einzelnen Komponenten ist. Dazu muss die jeweilige Verhaltensentropie der Komponenten und des Gesamtsystems bekannt sein.

Im vorliegenden Fall werden ausschließlich Digitale Schaltungen mit zwei Zuständen ("0" bzw "1") und damit $z = 2$ betrachtet. jedoch erlauben die Formeln auch eine Betrachtung von Schaltungen im Allgemeinen. Dabei ist es möglich, sowohl Schaltungen mit mehr Zuständen (z.b. High, Low, Z-High, Undefined) zu betrachten, als auch jegliche andere Form von Zuständen. Dieses können nicht nur Übertragungstechnische Elemente sein, sondern ebenso Lage, Ausrichtung und Verschaltung von Elementarbauteilen (Transistoren, Kondensatoren etc.) im Allgemeinen.

3 Anwendungsbeispiel - Halbaddierer

Die hier vorgestellte Theorie soll nun am Beispiel des Halbaddierers demonstriert werden. Der Halbaddierer wurde gewählt, da er einerseits durch verschiedene Schaltungen zu realisieren ist und da andererseits eine einfache Nachvollziehbarkeit der Ergebnisse aufgrund der elementaren Schaltung gegeben ist.

3.1 Spezifikation und Implementierung

Bild 3 zeigt die Spezifikation eines Halbaddierers. Dieser besitzt jeweils zwei Eingänge und zwei Ausgänge. Ein Halbaddierer kann durch verschiedene Implementierungen realisiert werden. Bild 4 zeigt die Implementierung eines Halbaddierers mit NAND-Gattern. Jedes NAND-Gatter hat dabei zwei Eingänge und einen Ausgang. Eine zweite Möglichkeit ist es, den Halbaddierer aus zwei Invertern, drei AND- und ein OR Gatter auszubauen. Dies ist in Bild 5 gezeigt. Der Inverter besitzt jeweils einen Eingang und einen Ausgang, wobei die AND- und OR-Gatter wiederum zwei Eingänge und einen Ausgang besitzen.

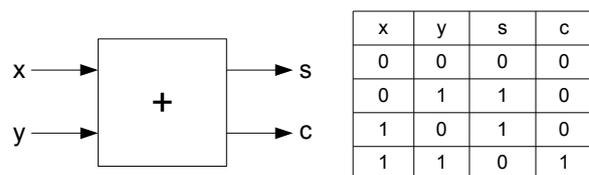


Bild 3 Spezifikation eines Halbaddierers

3.2 EntwurfSENTROPIS

Aus der Spezifikation lässt sich nun sofort die Verhaltensentropie eines Halbaddierers ableiten. Mit $n_g = 2$ und $m_g = 2$ folgt:

$$S_V = m_g \ln(2^{n_g}) = 2 \ln(2^2) = 4 \ln(2) \quad (8)$$

Für die Strukturentropie muss nun zwischen den einzelnen Implementierungen unterschieden werden. Für die

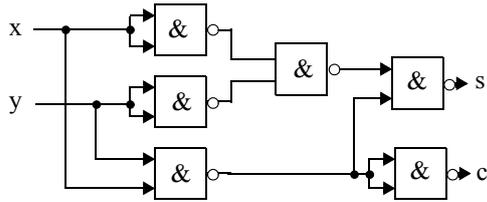


Bild 4 Implementierung eines Halbaddierers mit NAND Gattern

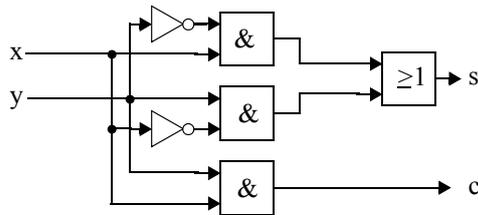


Bild 5 Implementierung eines Halbaddierers mit AND und OR Gattern und Invertern

Implementierung nach Bild 4 folgt:

$$S_{S_1} = \sum_{i=1}^k m_i 2^{n_i} \ln(2^{n_i})$$

$$= 6 \underbrace{(1 \cdot 2^2 \ln(2^2))}_{\text{NAND}} = 48 \ln(2) \quad (9)$$

Für die Implementierung nach Bild 5 folgt:

$$S_{S_2} = 2 \underbrace{(1 \cdot 2^1 \ln(2^1))}_{\text{Inverter}} + 3 \underbrace{(1 \cdot 2^2 \ln(2^2))}_{\text{AND}}$$

$$+ 1 \underbrace{(1 \cdot 2^2 \ln(2^2))}_{\text{OR}} = 36 \ln(2) \quad (10)$$

Somit beträgt die Strukturentropie die Implementierung eines Halbaddierers nach Bild 4 mit ausschließlich NAND-Gattern $48 \ln(2)$, wobei eine Implementierung nach Bild 5 mit Invertern, AND- und OR-Gattern eine Strukturentropie von $36 \ln(2)$ hat.

3.3 Wiederverwendbarkeit

Mit Hilfe von Formel (7) für die Verifikationsentropie kann nun diese für beide Implementierungen berechnet werden. Diese beträgt jeweils:

$$S_{W_1} = \sum_{i=1}^l m_i \ln(2^{n_i}) + m_g \ln(2^{n_g})$$

$$= \underbrace{1 \ln(2^2)}_{\text{NAND}} + \underbrace{2 \ln(2^2)}_{S_V} = 6 \ln(2) \quad (11)$$

$$S_{W_2} = \underbrace{1 \ln(2^1)}_{\text{Inverter}} + \underbrace{1 \ln(2^2)}_{\text{AND}}$$

$$+ \underbrace{1 \ln(2^2)}_{\text{OR}} + \underbrace{2 \ln(2^2)}_{S_V} = 9 \ln(2) \quad (12)$$

3.4 Interpretation der Ergebnisse

Dieses einfache Beispiel zeigt, dass die Implementierung eines Halbaddierers mit Invertern nicht nur offensichtlich einfacher ist, sondern sich auch in einer geringeren Strukturentropie ausdrückt. Beim Entwurf von integrierten Schaltungen kann man sich dieses zu Nutze machen: Der Entwurfsaufwand einer Schaltung hängt mit der Komplexität des Entwurfes zusammen, der sich nun auch berechnen lässt. Der Einsatz von gleichartigen Gattern führt zu einer geringeren Verifikationsentropie, da jedes einzelne Bauteil nur einmal verifiziert werden muss und alle anderen Instanzen dieses Bauteiles dann als korrekt angenommen werden können, so dass nur noch die Verifikation des Gesamtsystems übrig bleibt. Sowohl die Komplexität des Entwurfes als auch der Verifikationsaufwand können nun auf eine einfache Art berechnet werden, so dass es jetzt möglich ist, nur auf Grundlage von verschiedenen Entwürfen eine Aussage über die jeweilige Komplexität und den Verifikationsaufwand zu treffen.

4 Literatur

- [1] T. Treytnar und R. Popp. *EDA - Eine Voraussetzung für die Nanoelektronik*. it - Information Technology. Oldenbourg Wissenschaftsverlag. Vol. 2. Seite 112-133. 2006
- [2] K. Erk und P. Lutz. *Theoretische Informatik: Eine Umfassende Einführung*. Springer Verlag. 2002
- [3] C.E. Shannon. *A mathematical theory of communication*. The Bell System Technical Journal. Vol. 27(3). S. 379-423. 1948
- [4] P. Rechenberg. *Zum Informationsbegriff der Informationstheorie*. Informatik Spektrum vom 14. Oktober 2003, S. 317-326. 2003
- [5] W. Warmuth. *Elementare Wahrscheinlichkeitsrechnung: Vom Umgang mit dem Zufall*. Vieweg+Teubner Verlag. 1998
- [6] T. de Marco. "Was man nicht messen kann...". mipt-Verlag. 1986
- [7] P. Leppelt, A. Hassine und E. Barke. "An Approach to Make Semiconductor Design Comparable". Institute of Mikroelectronic Systems. Leitz University, Hannover. 2006
- [8] V. Ermolayev und W.-E. Matzke. "Towards Industrial Strength Business Performance Management". 2007
- [9] N. Hinrichs, P. Leppelt und E. Barke. "Building up a Performance Measurement System to Determine Productivity Metrics of Semiconductor Design Projects". Institute of Mikroelectronic Systems. Leitz University, Hannover. 2007
- [10] F. Herrmann. *Physik III: Thermodynamik*. Universität Karlsruhe. 2003
- [11] J. Schnakenberg. *Thermodynamik und Statistische Physik*. Carl Grossmann, Tübingen. 2000