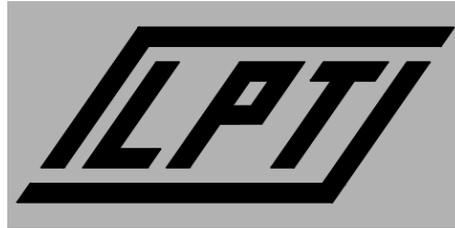


Spezifikation 2016 Leiterplattenfertigung



Diese Spezifikation der LPT ersetzt und ergänzt die vormals gedruckte Spezifikation bzw. die Online-Spezifikation.

Alle hier beschriebenen Verfahren, Toleranzen, Abmessungen und Entwurfsrichtlinien gelten in erster Hinsicht für die Fertigung in der Leiterplattentechnologie der Universität Ulm.

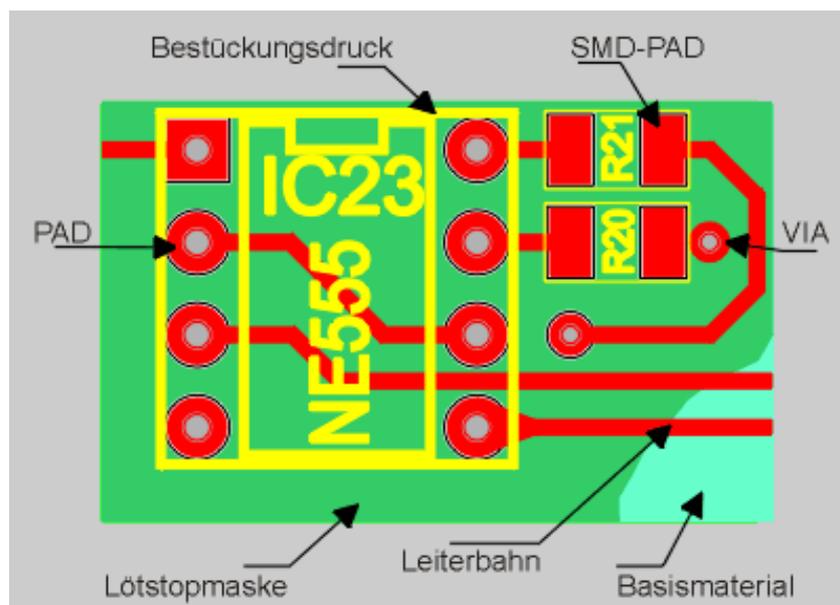
Andere Dienstleister können andere Anforderungen und Richtlinien haben, vieles aus dieser Spezifikation kann jedoch ohne weiteres für die Fertigung von Leiterplatten bei gewerblichen Dienstleistern übernommen werden.

Die Spezifikation soll einen reibungslosen Datenaustausch zur Leiterplattenherstellung gewährleisten, und eine kleine Einführung in die Layout-Erstellung von Leiterplatten sein. Designregeln und Datenformate, die zur Herstellung von Leiterplatten in der Leiterplattentechnologie (LPT) der Universität Ulm notwendig sind, werden beschrieben. Je genauer die Vorgaben eingehalten werden, umso reibungsloser und schneller verläuft die Produktion.

Mit welchem ECAD-Programm die Daten für die Leiterplattenfertigung erzeugt werden, bleibt dem jeweiligen Auftraggeber überlassen.

Es gibt kein Programm das explizit bevorzugt, empfohlen oder benachteiligt wird.

Die Fotoplot- und die Bohrdaten sollten jedoch möglichst konform mit unserer Spezifikation geliefert werden.



[Bild pcb_c.gif]

Autor: KM
Stand: Januar 2016

Inhalt

1. Kupferstrukturen.....	3
1.1 Allgemein.....	3
1.2 Leiterbahnen.....	4
1.3 Lötäugen (THT-PADs).....	4
1.4 SMD-Landflächen (SMD-PADs).....	5
1.5 Lagenwechsler (VIAs).....	6
1.6 Restringe.....	7
1.7 Kupferflächen.....	8
1.8 Linien, Texte und Symbole.....	9
2. Lötstopmmaske.....	10
2.1 Allgemeines.....	10
2.2 Designregeln.....	11
2.3 Datenformat.....	13
3. Entwurfsraster.....	14
4. PAD-Stacks.....	18
4.1 PAD-Stack für durchkontaktierte PADs.....	18
4.2 PAD-Stack für nicht durchkontaktierte PADs.....	19
4.3 PAD-Stack für SMD-PADs.....	19
4.4. PAD-Stack für VIAs.....	20
5. Der Bestückungsdruck.....	21
5.1 Allgemeines.....	21
5.2 Designregeln.....	22
5.3 Tabellen.....	25
5.4 Datenformat.....	25
6. Fotoplotdaten.....	26
6.1 Fotoplotter.....	26
6.2 Datenformat.....	26
6.3 Blendenformen.....	28
6.4 Blendentabelle.....	30
7. Bohr- und Fräsdaten.....	31
7.1 Bohrdaten.....	31
7.2 Fräsdaten.....	33
7.3 Werkzeuge.....	35
8. Basismaterial.....	36
8.1 Allgemein.....	36
8.2 Materialarten.....	36
8.3 In der LPT.....	37
9. Multilayer.....	38
9.1 Allgemein.....	38
9.1 Multilayer in der LPT.....	39
9.2 Designregeln.....	42
9.3 Power/Ground –Planes (PGPs).....	43
A. Abkürzungen / Erläuterungen.....	44
B. Tabellen und Graphen.....	45

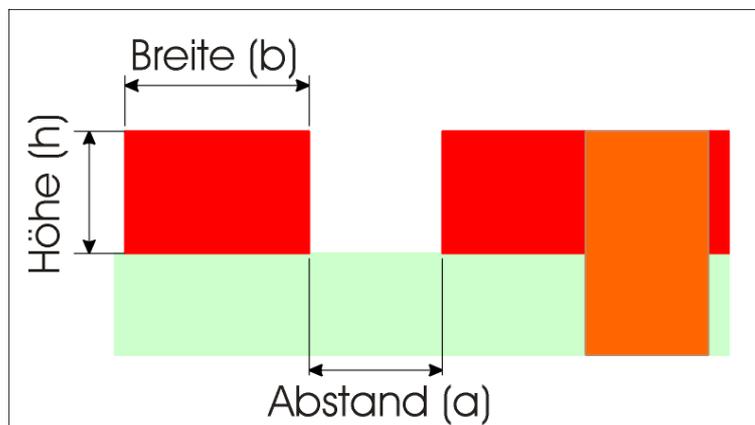
1. Kupferstrukturen

Die Kupferstrukturen leiten den elektrischen Strom auf der Leiterplatte. Sie dienen außerdem zur Wärmeableitung, zur Befestigung von Bauteilen, zur Abschirmung und als Informationsträger.

1.1 Allgemein

Kupferstrukturen haben immer eine Höhe, eine Breite und einen Abstand zu anderen Strukturelementen.

Die Höhe der Kupferstrukturen wird bestimmt durch die Basiskupferkaschierung und zusätzlich chemisch oder galvanisch aufgebracht Kupfer.



[Bild custr01.gif]

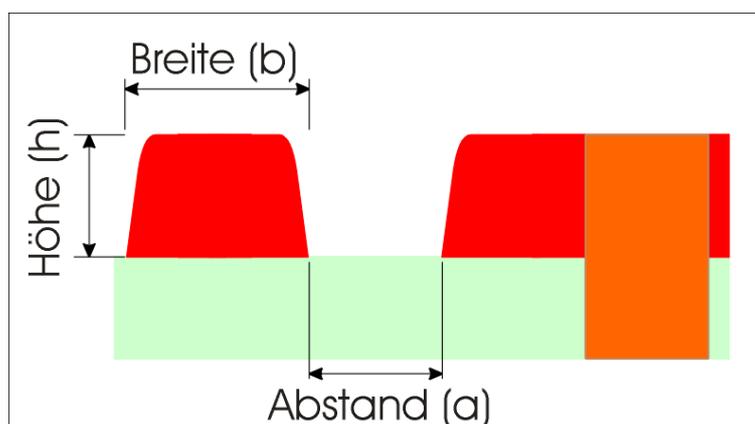
Die Höhe der Kupferstrukturen wird auf einer Leiterplatte weitgehend konstant gehalten. Obwohl die Möglichkeit besteht, reliefartige Strukturen unterschiedlicher Höhe herzustellen, hat dies kaum eine technische Bedeutung.

Die Breite der Strukturen bildet den Hauptparameter zur Einstellung von Layoutdichte, Strombelastbarkeit und Wellenwiderstand.

Der Abstand beeinflusst hauptsächlich Layoutdichte und Signalübersprechen (bei höheren Spannungen das Überslagern).

Alle drei Strukturparameter sind jedoch voneinander abhängig und beeinflussen sich gegenseitig.

So wirkt sich die Strukturhöhe auf die mögliche Strukturbreite in soweit aus, dass je dicker die vertikal zu ätzende Schicht (Höhe) ist, desto stärker werden auch die horizontalen Abmessungen (Breite) der Strukturen angegriffen.



[Bild custr02.gif]

Diese s.g. Unterätzung tritt bei chemischem Kupferabtrag immer auf. Demzufolge werden Strukturen immer schmaler, und Abstände immer größer, je höher die Struktur werden soll.

Die Unterätzung ist nicht über die ganze Leiterplatte konstant. Näherungsweise liegt der Wert der Unterätzung bei dem Wert der Höhe, d.h. ist eine Kupferschichtdicke von 50µm vorgegeben, werden die Strukturen um 50µm dünner. Erfahrungsgemäß beträgt in der LPT, bei üblichen Herstellungsverfahren, die maximale Unterätzung ca. 1mil (25µm) an jeder Kupferflanke.

1.2 Leiterbahnen

Leiterbahnen (Tracks) verbinden die Bauteile einer Leiterplatte miteinander. Wie breit eine Leiterbahn entworfen wird hängt ab von

- der Strombelastung
- dem gewählten Routing-Raster
- der "Dichte" der Leiterplatte
- den gewünschten Leitungsparametern (Wellenwiderstand, Widerstand, Induktivität,...)

Grundsätzlich gilt, eine Leiterbahn **so breit wie möglich und so dünn wie nötig**. Leiterbahnen sollten nicht unnötig lang sein, keine überflüssigen Ecken und Abzweigungen haben und wenn möglich in einem 45-Grad- oder 90-Grad-Winkel geknickt werden. Leiterbahnen die durch einen Auto-Router verlegt wurden, müssen i.d.R. manuell nachgearbeitet werden.

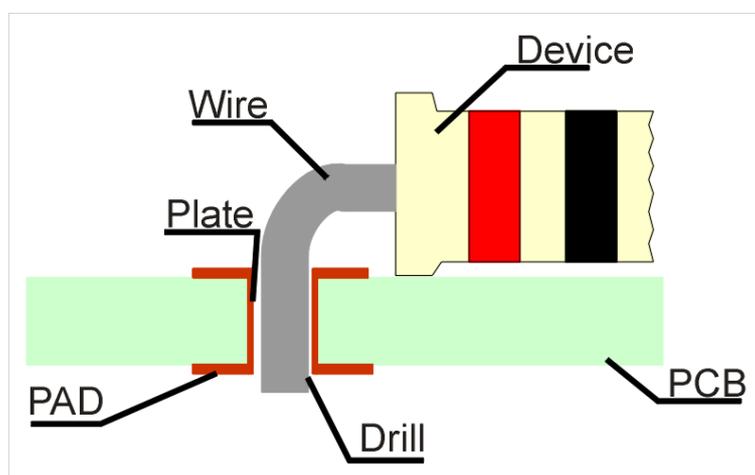
1.3 Lötäugen (THT-PADs)

THT-PADs (Lötäugen) haben eine Bohrung, eine Lötfläche und bei durchkontaktierten PADs noch eine Cu-Hülse.

Ihre Aufgabe ist die elektrische und mechanische Verbindung zwischen Leiterplatte und Bauteil.

Bei THT-PADs müssen verschiedene Größen eines Bauteiles und der Leiterplatte, sowie Parameter des Produktionsprozesses berücksichtigt werden.

Es ist vorteilhaft schon bei der Erstellung von Bauteilebibliotheken (oder deren Verwendung) auf die korrekte Auslegung von THT-PADs zu achten.



[Bild device.gif]

Das Bauteil (Device) wird über den Anschlussdraht / Anschlusspin (Wire / Pin) in einer Bohrung mit der Kupferstruktur auf der Leiterplatte (PCB) verbunden.

Die benötigte Bohrung (Drill) muss immer ein kleinwenig größer sein als der Anschlussdraht (oft genügen wenige 10-tel Millimeter).

Wird die Bohrung durchkontaktiert (plated), muss zu dem Anschlussdraht auch noch die Dicke der Durchkontaktierung (Plating) und ein Zuschlag für Bestückung und Lot, bei der Auswahl des Bohrdurchmessers und des Kupferrings berücksichtigt werden.

Die bevorzugte Form für THT-PADs ist **rund**.

Quadratische, achteckige oder längliche Formen sollten, solange es nicht notwendig ist, vermieden werden.

Die Kupferfläche eines PADs ist ausgefüllt zu definieren (keine Zentrierlöcher oder Ringe). (siehe PAD-Stacks)

Für die LPT gilt:

Wird vom Auftraggeber nicht explizit etwas anderes angegeben, wird der Durchkontaktierungszuschlag (i.d.R. 0,2 mm / 8 mil) bei der Datenaufbereitung von der LPT auf die Bohrdurchmesser addiert.

Die Lötäugen müssen so bemessen sein, dass sie auch mit dem dann größeren Bohrdurchmesser noch einen ausreichenden Restring aufweisen.

D.h. in den CNC-Daten des Auftraggebers sind die Werte des Anschlussdrahtes / -pins anzugeben (Nenndurchmesser).

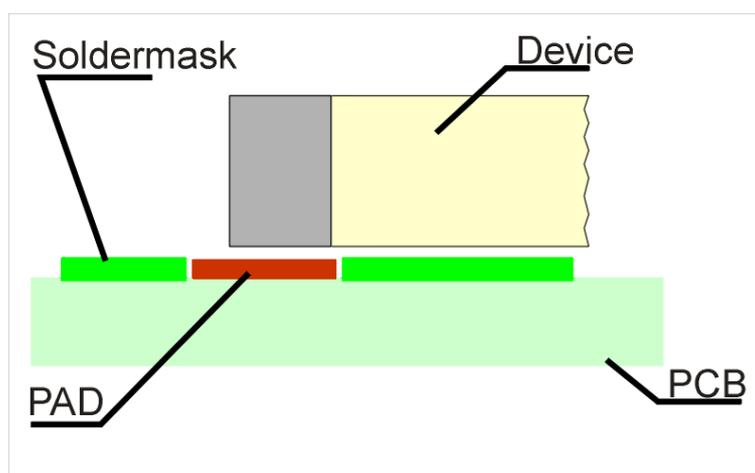
1.4 SMD-Landeflächen (SMD-PADs)

SMD-PADs (Landeflächen) bestehen nur aus einer Lötfläche.

Ihre Aufgabe ist (wie bei THT-PADs) die elektrische und mechanische Verbindung zwischen Leiterplatte und Bauteil.

Bei SMD-PADs müssen verschiedene Größen eines Bauteiles und der Leiterplatte, sowie Parameter des Produktionsprozesses und der Bestückung berücksichtigt werden.

Es ist von Vorteil schon bei der Erstellung von Bauteilebibliotheken (oder deren Verwendung) auf korrekte Auslegung der SMD-PADs zu achten.



[Bild smdevice.gif]

Das Bauteil (Device) wird über den Anschlussbereich / Anschlusspin (Pin) mit der Kupferstruktur auf der Leiterplatte (PCB) verbunden.

Die benötigte Landefläche (PAD) sollte immer etwas größer sein als die Auflagefläche des Anschlusspins. Es sollte sich beim Lötprozess ein Lötzinn-Meniskus ausbilden können.

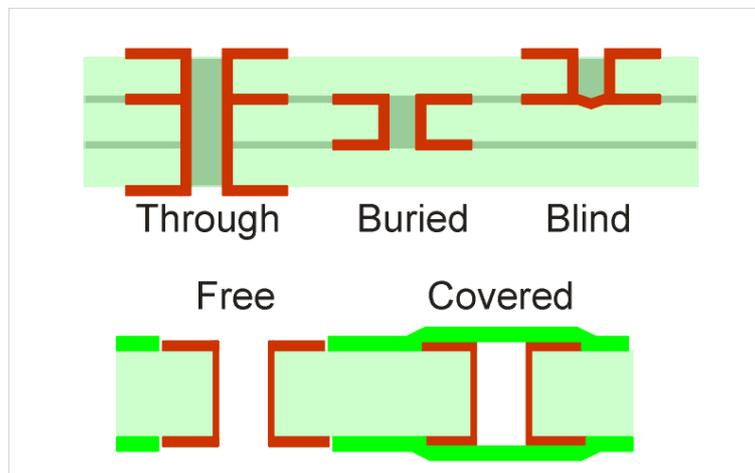
Der Überstand des PADS kann an den Seiten und unter dem Bauteil kleiner als an der Stirnseite sein.

SMD-PADs können auch so entworfen werden, dass die Kontaktfläche mittig zum PAD ist. Die bevorzugte Form für das SMD-PAD ist rechteckig, abgerundete Ecken können vorteilhaft sein.

1.5 Lagenwechsler (VIAs)

VIAs (Lagenwechsler) bestehen aus einer durchkontaktierten Bohrung und einem PAD. Ihre Aufgabe ist es elektrische und thermische Verbindungen zwischen den einzelnen Kupferlagen der Leiterplatte herzustellen.

In oder an VIAs werden normalerweise keine Bauteile befestigt, geeignete VIAs können allerdings als Test- oder Messpunkte verwendet werden. Größe und Art der VIAs ergibt sich aus dem Routing-Raster, der elektrischen Belastung und den thermischen und elektrischen Vorgaben.



[Bild vias.gif]

Bedeckte (covered) VIAs werden gerne unter SMDs platziert um Kurzschlüsse zu vermeiden.

Der Bohrdurchmesser bedeckter VIAs sollte 0,8mm nicht überschreiten, da sonst der überspannende Lötstopplack brechen kann.

Nur einseitig bedeckte VIAs sind (in der LPT) möglichst zu vermeiden.

VIAs sollten nicht direkt in THT-PADs oder SMD-PADs (VIA in PAD) platziert werden.

Die bevorzugte Form für das VIA ist rund. Quadratische, achteckige oder längliche Formen sollten, solange es nicht unbedingt notwendig ist, vermieden werden. Die Kupferfläche eines VIAs ist ausgefüllt zu definieren (keine Zentrierlöcher oder Ringe).

Für die LPT gilt:

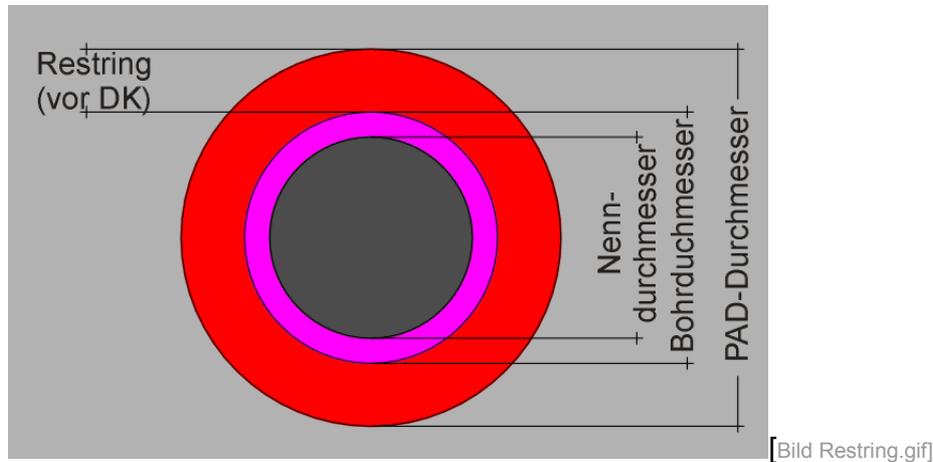
Wird vom Auftraggeber nicht explizit etwas anderes angegeben, wird der Durchkontaktierungszuschlag (i.d.R. 0,2 mm / 8 mil) bei der Datenaufbereitung von der LPT auf die Bohrdurchmesser addiert.

Die VIAs müssen so bemessen sein, dass sie auch mit dem dann größeren Bohrdurchmesser noch einen ausreichenden Restring aufweisen.

D.h. in den CNC-Daten des Auftraggebers sind die Werte des gewünschten Enddurchmessers anzugeben.

1.6 Restringe

Für die Funktion und Lötbarkeit einer Leiterplatte ist es wichtig, dass die PAD- und VIA-Restringe ausreichend groß bemessen sind.



Im Folgenden werden der PAD-Außendurchmesser mit "D" und der Nenndurchmesser der Bohrung mit "d" bezeichnet.

Der Nenndurchmesser "d" ist der gewünschte Enddurchmesser, also bei bedrahteten Bauteilen (THT) der Durchmesser des Anschlusspins / Anschlussdrahtes.

Notwendige Produktionszuschläge müssen nicht vom Auftraggeber berücksichtigt werden.

Für Bohrungen stehen Werkzeuge von 0,2 mm bis 4,2 mm, 0,1 mm steigend, zur Verfügung.

Bei nicht durchkontaktierten PADs sollten die Restringe etwas größer gewählt werden um die geringere Stabilität durch die fehlende Cu-Hülse auszugleichen.

Für durchkontaktierte PADs / VIAs gilt: $D \geq d + 0,6\text{mm}$ oder $D \geq d + 24\text{mil}$

Bspl.: Bohrung $d = 1,0\text{mm}$ (40mil)

Minimaler PAD-Durchmesser

$D \geq 1,0\text{mm} + 0,6\text{mm} = 1,6\text{mm}$ $D \geq 40\text{mil} + 24\text{mil} = 64\text{mil}$

Für nicht durchkontaktierte PADs gilt: $D \geq d + 0,7\text{mm}$ oder $D \geq d + 28\text{mil}$

Bspl.: Bohrung $d = 1,0\text{mm}$ (40mil)

Minimaler PAD-Durchmesser

$D \geq 1,0\text{mm} + 0,7\text{mm} = 1,7\text{mm}$ $D \geq 40\text{mil} + 28\text{mil} = 68\text{mil}$

Einige Beispiele für Formate durchkontaktierter PADs / VIAs:

Nenn-durchmesser	Bohr-durchmesser	PAD-Durchmesser	DK-Zuschlag	Restring	Fertige Bohrung	Name / Bezeichnung	Technologie / max. Bohrtiefe
mm/mil	mm/mil	mm/mil	mm/mil	mm/mil	mm		/ mm
$\leq 0,1 / 04$	$\leq 0,1 / 04$	$\leq 0,2 / 08$	0 / 0	$\leq 0,05 / 02$	$\leq 0,09$	D08d04	Micro-VIA / 0,2
0,15 / 06	0,2 / 08	0,4 / 16	0 / 0	0,1 / 04	ca. 0,15	D16d08	Mini-VIA / 0,5
0,25 / 10	0,3 / 12	0,6 / 24	0 / 0	0,15 / 06	ca. 0,25	D24d12	Mini-VIA / 0,8
0,2 / 08	0,4 / 16	0,8 / 32	0,2 / 08	0,2 / 08	0,2..0,3	D32d08	Standard / 1,2
0,3 / 12	0,5 / 20	0,9 / 36	0,2 / 08	0,2 / 08	0,3..0,4	D36d12	Standard / 1,5
0,4 / 16	0,6 / 24	1,0 / 40	0,2 / 08	0,2 / 08	0,4..0,5	D40d16	Standard / 1,9
0,5 / 20	0,7 / 28	1,1 / 45	0,2 / 08	0,2 / 08	0,5..0,6	D45d20	Standard / 2,1
0,6 / 24	0,8 / 32	1,25 / 50	0,2 / 08	0,23 / 09	0,6..0,7	D50d24	Standard / 2,3
0,7 / 28	0,9 / 36	1,4 / 55	0,2 / 08	0,25 / 10	0,7..0,8	D55d28	Standard / 2,7
0,8 / 32	1,0 / 40	1,5 / 60	0,2 / 08	0,25 / 10	0,8..0,9	D60d32	Standard / >3,0

1,0 / 40	1,2 / 48	1,6 / 64	0,2 / 08	0,2 / 08	1,0..1,1	D64d40	Standard / >3,0
1,0 / 40	1,2 / 48	1,8 / 70	0,2 / 08	0,28 / 11	1,0..1,1	D70d40	Standard / >3,0
1,1 / 44	1,3 / 52	1,8 / 70	0,2 / 08	0,23 / 09	1,1..1,2	D70d44	Standard / >3,0
1,2 / 48	1,4 / 55	2,0 / 80	0,2 / 08	0,3 / 12	1,2..1,3	D80d48	Standard / >3,0
1,3 / 52	1,5 / 59	2,0 / 80	0,2 / 08	0,25 / 10	1,3..1,4	D80d52	Standard / >3,0

Tabelle 1.1

Nenndurchmesser = gewünschter Bohrlochdurchmesser (gibt der Kunde in den Daten an)

Bohrdurchmesser = Nenndurchmesser + DK-Zuschlag (wird durch den Dienstleister festgelegt)

Fertige Bohrung = Nenndurchmesser + Toleranzbereich (bekommt der Kunde geliefert)

Technologie =

Micro-VIAs können in der LPT nur sehr eingeschränkt hergestellt werden

Mini-VIAs sollten nur nach vorheriger Rücksprache mit der LPT eingesetzt werden

Standard-VIAs / PADs können eingesetzt werden

Bohrtiefe = Entspricht der maximalen Dicke der Leiterplatte

1.7 Kupferflächen

Kupferflächen dienen hauptsächlich zur Abschirmung (Shield, Fluxcancelation), als Masseflächen, Power/Ground-Lagen oder als Kühlflächen auf oder in einer Leiterplatte.

Abschirm- und Masseflächen können vollflächig oder als Hatchgrid ausgeführt werden.

Bei ausgefüllten Flächen muss darauf geachtet werden, dass die einzelnen Linien aus denen die Fläche besteht breiter sind (10%, mind. 1mil) als ihr Abstand zueinander, so dass sie sich immer überlappen (kann i.d.R. in den CAD-Systemen eingestellt werden.)

Die Breite der Linien mit denen gefüllt wird sollte nicht zu klein gewählt werden (8 bis 25mil). Oftmals verwenden CAD-Systeme als Voreinstellung unnötigerweise die kleinste definierte Blende zum Flächenfüllen.

Bevorzugt sollte eine Blende (Linienbreite) zum Füllen verwendet werden, die im übrigen Layout der Leiterplatte nicht benutzt wird, so dass diese sich leicht bei der Nachbearbeitung selektieren lässt.

Flächen können auch als Polygonzug oder Kompositfläche erstellt werden.

Kupferinseln (Kupferflächen ohne definiertes Potential) können Störungen verursachen. Die meisten CAD-Systeme haben manuelle, interaktive und/oder automatische Funktionen um Kupferinseln zu erkennen und/oder zu entfernen.

PADs sollten (solange die geringfügig höhere Induktivität bei sehr hohen Frequenzen nicht stört) mit Wärmefallen an eine Kupferfläche angeschlossen werden. VIAs mit Wärmefallen oder vollflächig.

Aussparungen um PADs, Leiterbahnen und Texten müssen den Designrules entsprechen.

1.8 Linien, Texte und Symbole

Für Linien, Texte und Symbole gelten i.d.R. die gleichen Designregeln wie für andere Kupferstrukturen.

Sie sollten ausreichend breit sein und genügend Abstand zu anderen Strukturelementen haben.

Bei Texten sollten auf das Verhältnis Texthöhe zu Strichstärke geachtet werden. Übliche Werte liegen bei 15:1 bis 8:1 (Bsp.: 60mil Höhe / 8mil Strichstärke), die Strichstärke muss dabei mindestens die minimale Strukturbreite erreichen.

Für Texte sollten nur Vektorzeichensätze verwendet werden. Pixel- oder TrueType-Zeichensätze werden entweder von den CAD-Systemen bei der Plotdatengenerierung durch Vektorzeichensätze ersetzt, was zu Problemen mit den unterschiedlichen Zeichenbreiten führen kann (Kurzschlüsse), oder ihre Umsetzung in Vektoren erzeugt eine unverhältnismäßig große Datenmenge.

Texte und Symbole als Kupferstrukturen auszuführen sollte sich in Grenzen halten, umfangreiche Texte und Symbole können durch den Bestückungsdruck realisiert werden.

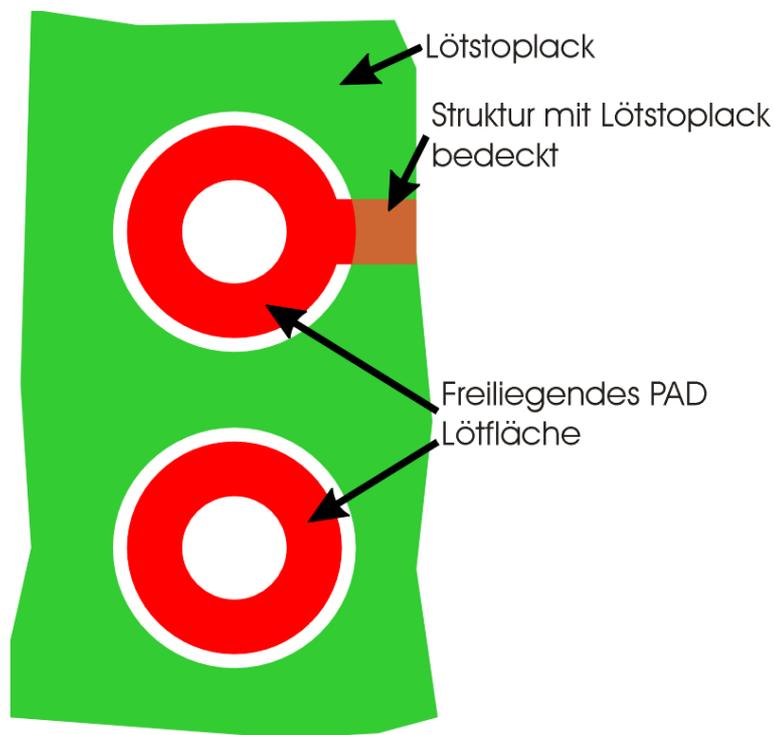
2. Lötstopmmaske

2.1 Allgemeines

Die Lötstopmmaske (Lötstopppdruck, Lötstopplack, Soldermask, Stopmask) ist eine strukturierte Lackschicht die

- die Oberfläche der Leiterplatte (insbesondere die Kupferstrukturen) vor Umwelteinflüssen (chemisch, mechanisch) schützt,
- das Löten und Bestücken vereinfacht,
- Lötbrücken, Lotanhäufungen und Lotabfluss verhindert,
- die Lötflächen auf das löttechnisch notwendige Maß reduziert,
- die Kupferstrukturen zusätzlich gegen die Bauteile isoliert
- und die Grenzwerte für Überschlagespannungen und den Isolationswiderstand zwischen den Kupferstrukturen erhöht.

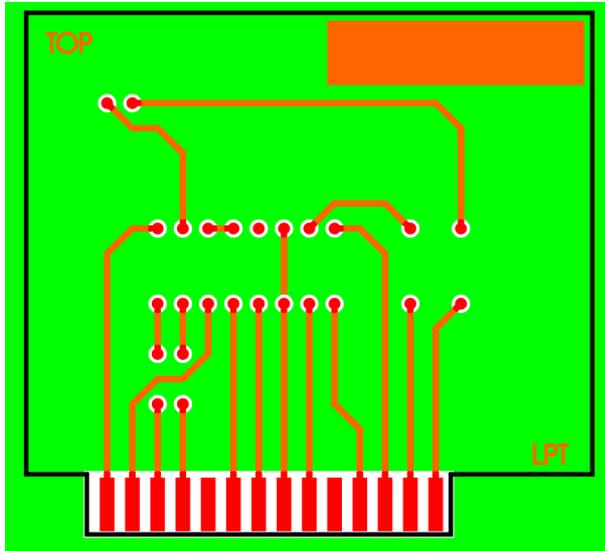
Der Lötstopplack kann als thermisch härtender Siebdrucklack oder fotostrukturierbarer Flüssiglack bzw. Folienresist aufgebracht werden. Diese Lötstoppmskennmaterialien haben ähnliche elektrische Eigenschaften (Dielektrizitätskonstante) wie *FR4*, halten Temperaturen im Bereich der üblichen Lötprozesse 190 °C bis 250 °C stand, sind resistent gegen viele Chemikalien und bilden eine mechanisch zähe Schicht die nur schwer wieder entfernt werden kann.



[Bild lsm1.gif]

2.2 Designregeln

Die LSM wird i.d.R. als Negativmaske dargestellt, d.h. alles was in der fertigen Leiterplatte lackfrei sein muss, wird in der Maske schwarz dargestellt.

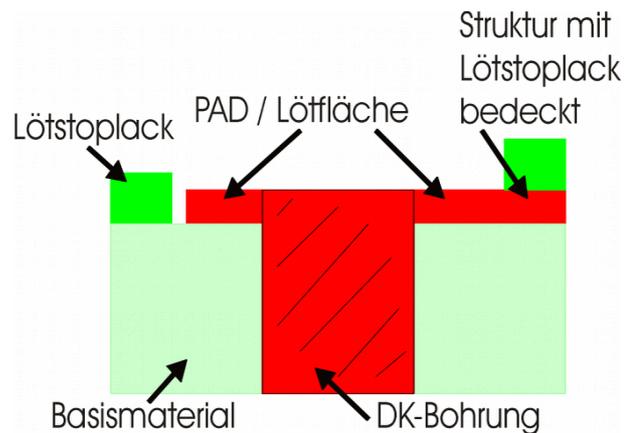


[Bild lsm3.gif]

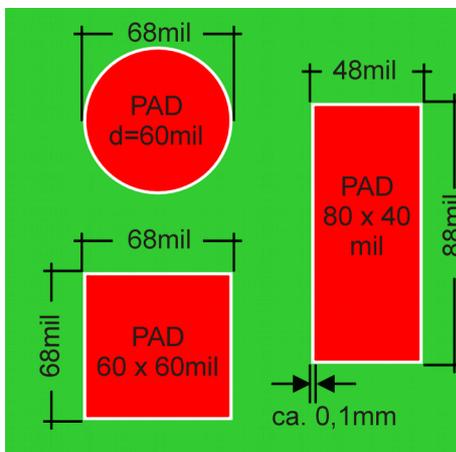
Die Aussparung in der LSM muss (bis auf wenige Ausnahmen) größer als die zugehörige Kupferfläche sein.

Nur die Strukturen die bei der fertigen Leiterplatte lackfrei sein sollen, gehören zur LSM. Texte, Marken und Logos gehören i.d.R. nicht in den Lötstopplack. Nur Kupferbereiche die gelötet oder anderweitig kontaktiert werden (z.B. Kühlflächen, Kühlkörperauflagen, Direktstecker...) sind Bestandteile der LSM.

Ausnahme bilden HF-Strukturen (z.B. Microstripleitungen) über denen der Lötstopplack ausgespart werden kann



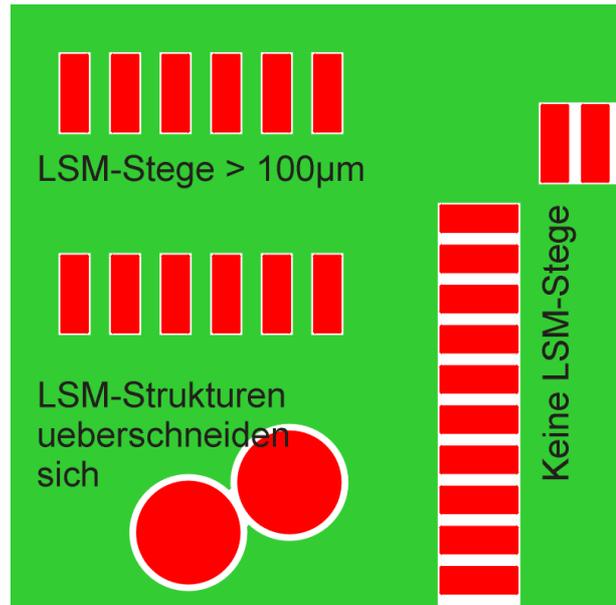
[Bild lsm2.gif]



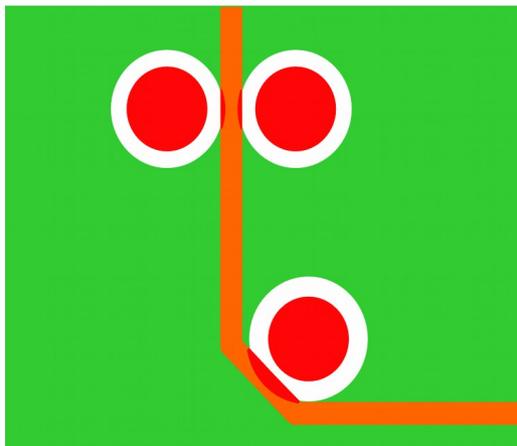
[Bild lsm4.gif]

Bei PADS sollten die Abmessungen der LSM-Aussparung ca. 8 ... 10 mil (0,2 ... 0,25 mm) größer als die des PADS sein, so dass umlaufend ein mindestens 100 µm breiter Abstand zwischen LSM und Kupfer entsteht.

Lackstrukturen brauchen eine ausreichende Haftfläche, deshalb müssen Stege zwischen LSM-Aussparungen mindestens 100 µm betragen und die LSM-Aussparungen sollten sich nicht überschneiden. Ergeben sich, z.B. bei SMT-ICs zwischen den PINS LSM-Stege kleiner 100 µm, muss die LSM so umdefiniert werden, dass diese Stege gegebenenfalls ganz entfallen.



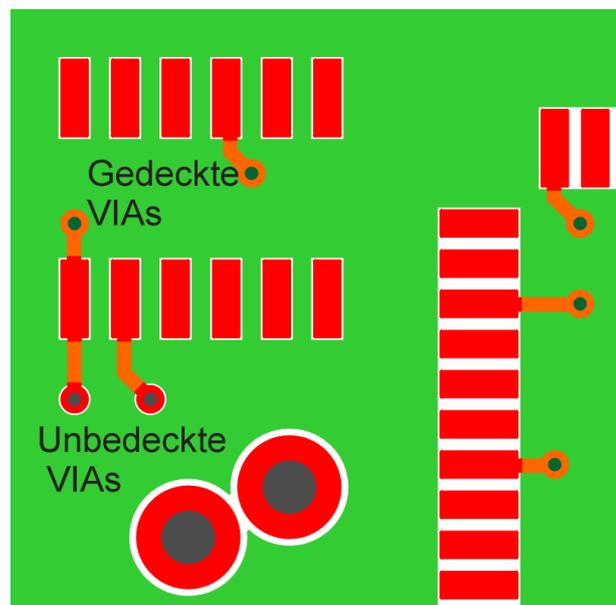
[Bild lsm5.gif]



[Bild lsm7.gif]

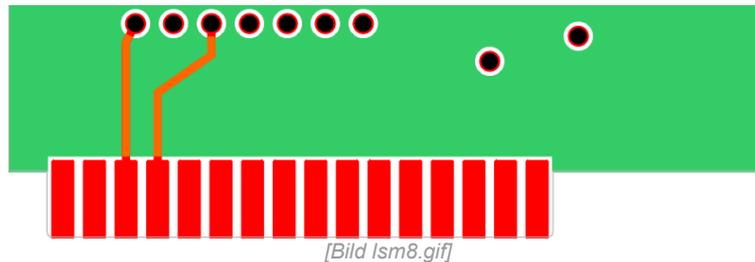
LSM-Aussparungen sollten nicht zur Kontaktfläche gehörige Kupferstrukturen nicht schneiden.

Kleine VIAs (insbesondere unter SMT-Bauteilen) können gedeckt sein, d.h. ohne Aussparung in der LSM.



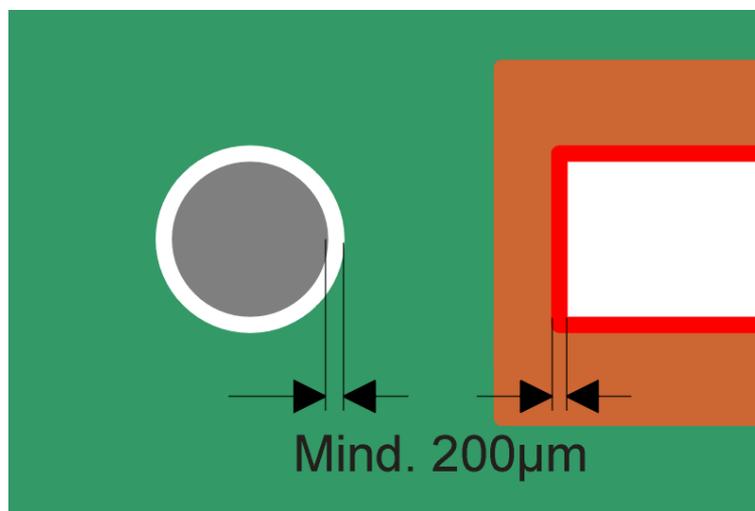
[Bild lsm6.gif]

Leiterplattendirektstecker müssen, so dass beim Stecken keine Kontaktschwierigkeiten auftreten, auf ihrer gesamten Länge lackfrei sein. Zwischen den Kontaktflächen dürfen keine LSM-Stege stehen.



[Bild lsm8.gif]

Befestigungsbohrungen und kontaktierte Konturen müssen mit einem Abstand von mindestens 200µm in der LSM berücksichtigt werden.



[Bild lsm9.gif]

2.3 Datenformat

Die Produktionsdaten für die LSM werden i.d.R. von einem CAD-Programm erzeugt. In der LPT werden diese im Format GERBER 2.3 inch bevorzugt (RS-274-D). D.h. die LSM-Daten stehen in einer ASCII-Datei im GERBER-Format in Inch mit 2-Stellen vor und 3-Stellen nach dem Komma (wobei das Komma nicht in den Daten steht). Daraus ergibt sich eine Auflösung von 0,001 inch oder 1/1000 inch oder 1 mil. Daten im Extended GERBER-Format RS-274-X sind ebenfalls möglich. Näheres siehe unter *Fotoplotdaten*.

3. Entwurfsraster

Bauelemente und Strukturelemente werden in einem Raster (Grid) auf einer Leiterplatte angeordnet.

- **Platzierungsraster** (*Placing-Grid*) In diesem Raster werden die Bauteile auf der Leiterplatte angeordnet.
- **Bauteileraster** (*Device-Grid, PAD-Grid*) Dieses Raster ist Abhängig vom PIN-Abstand des jeweiligen Bauteiles. Der PIN-Abstand wird auch als Rastermaß oder Pitch bezeichnet.
- **VIA-Raster** (*VIA-Grid*) In diesem Raster werden die VIAs angeordnet.
- **Routing-Raster** (*Routing-Grid*) Auf diesem Raster liegen die Eckpunkte der Leiterbahnen.

Welches Raster für eine Leiterplatte zu wählen ist, hängt ab von Layout-Dichte, den verwendeten Bauteilen, von den Leiterbahnbreiten und den Strukturabständen (dadurch auch von der Basiskupferdicke).

Die Raster können in verschiedenen Bereichen des Layouts unterschiedlich sein, sollten aber immer ganzzahlige Vielfache vom Grundraster sein.

100mil - 50mil - 25mil - 12,5mil - 10mil - 6,25mil
2,54mm - 1,27mm - 0,635mm - 0,3175mm - 0,254mm - 0,15875mm

Einen Sonderfall stellt das Bauteileraster dar. Den meisten Bauteilen liegt ein PIN-Raster (Pitch) zugrunde, welches in *Inch-Werten* angegeben wird (0,1", 0,05", ...). Immer häufiger kommen aber auch Bauteile mit *metrischem Pitch* zum Einsatz. Mischt man nun beide Arten, gibt es am wenigsten Probleme, wenn man eine Leiterbahn vom metrischen Bauteile-PAD horizontal oder vertikal wegführt und an geeigneter Stelle im 45°-Winkel den nächsten Inch-Raster-Punkt anfährt.

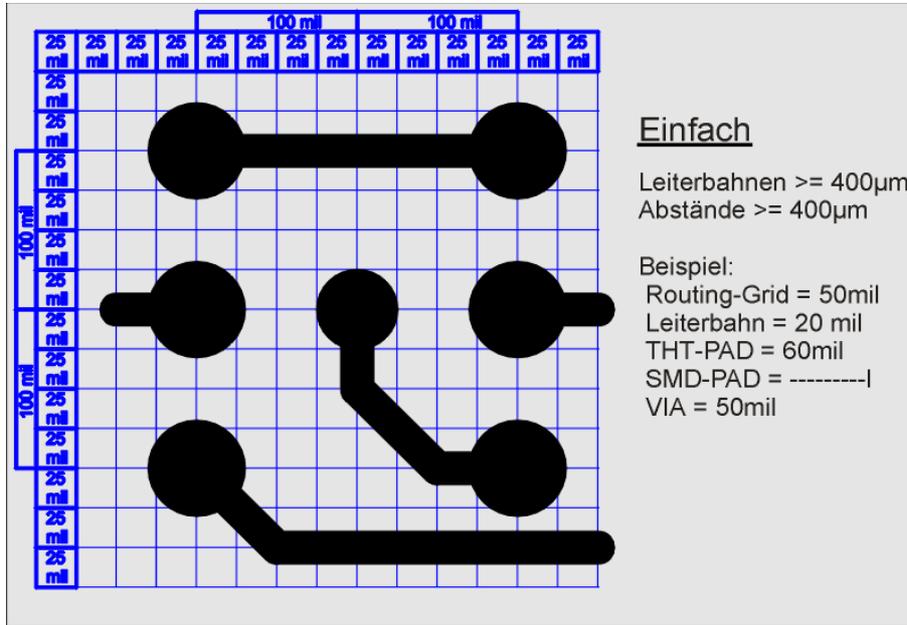
Routing-Raster und **Nullpunkt** sollten vor der Platzierung der Bauteile festgelegt und danach nur noch wohlüberlegt geändert werden.

Eine Leiterplatte kann natürlich auch vollständig in einem metrischen Raster (z.B. 0.5mm) entworfen werden (sofern es die Bauteileraster zulassen). Das Raster sollte jedoch nicht zu klein gewählt werden.

Die Entwurfsraster bilden, neben Strukturbreiten und den Strukturabständen einen Teilaspekt zur **Klassifizierung von Leiterplattenlayouts**.

Einfach:

Routing-Grid: $\geq 50\text{mil}$
 Leiterbahnen: $\geq 16\text{mil}$ ($400\mu\text{m}$)
 Strukturabstände: $\geq 16\text{mil}$ ($400\mu\text{m}$)
 Basiskupfer: max. $70\mu\text{m}$



Einfach

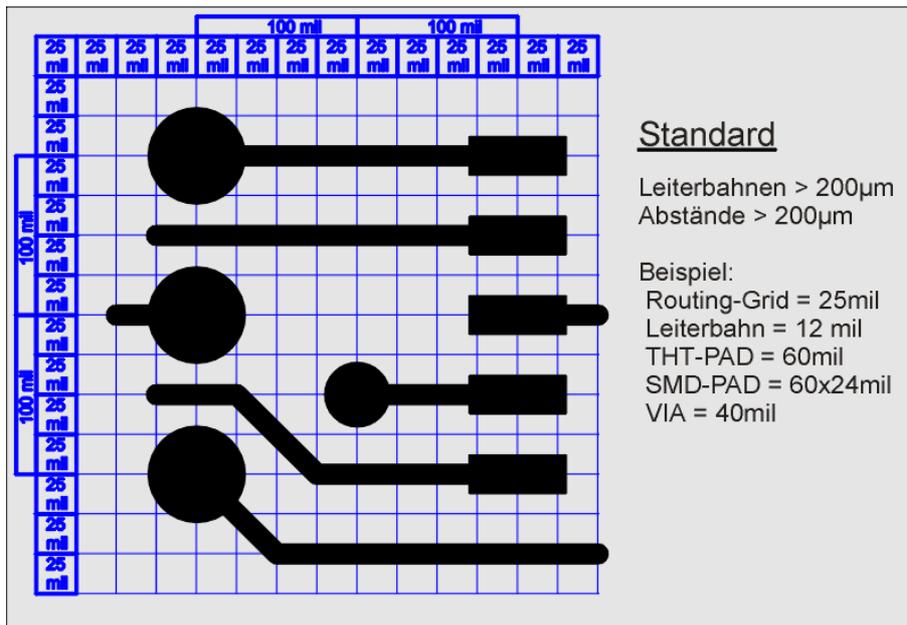
Leiterbahnen $\geq 400\mu\text{m}$
 Abstände $\geq 400\mu\text{m}$

Beispiel:
 Routing-Grid = 50mil
 Leiterbahn = 20mil
 THT-PAD = 60mil
 SMD-PAD = -----|
 VIA = 50mil

[Bild r_simpl.gif]

Standard:

Routing-Grid: $\geq 25\text{mil}$
 Leiterbahnen: $> 8\text{mil}$ ($200\mu\text{m}$)
 Strukturabstände: $> 8\text{mil}$ ($200\mu\text{m}$)
 Basiskupfer: max. $35\mu\text{m}$



Standard

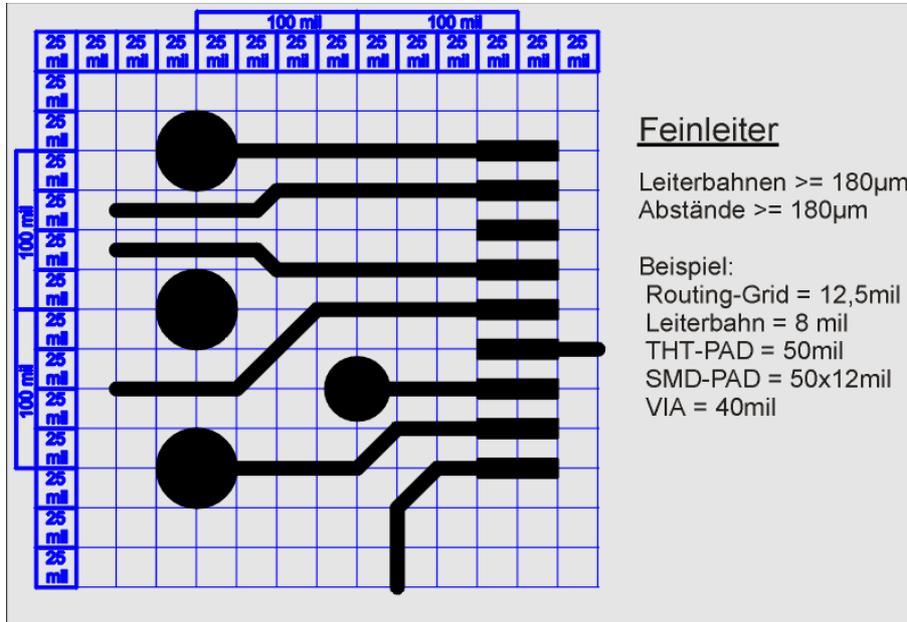
Leiterbahnen $> 200\mu\text{m}$
 Abstände $> 200\mu\text{m}$

Beispiel:
 Routing-Grid = 25mil
 Leiterbahn = 12mil
 THT-PAD = 60mil
 SMD-PAD = $60 \times 24\text{mil}$
 VIA = 40mil

[Bild r_std.gif]

Feinleiter:

- Routing-Grid: $\geq 12,5\text{mil}$
- Leiterbahnen: $> 7\text{mil}$ ($180\mu\text{m}$)
- Strukturabstände: $> 7\text{mil}$ ($180\mu\text{m}$)
- Basiskupfer: max. $18\mu\text{m}$



Feinleiter

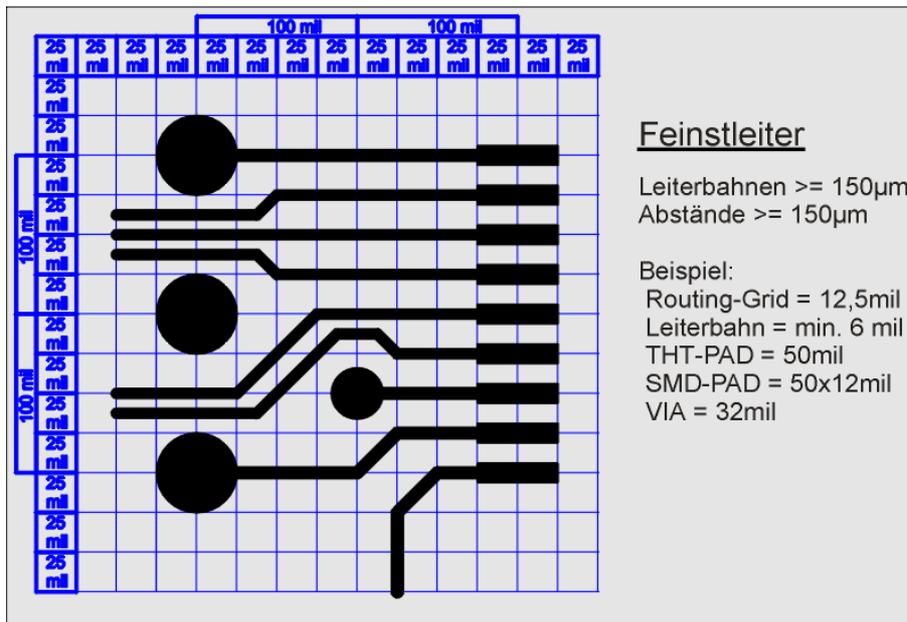
Leiterbahnen $\geq 180\mu\text{m}$
 Abstände $\geq 180\mu\text{m}$

Beispiel:
 Routing-Grid = $12,5\text{mil}$
 Leiterbahn = 8mil
 THT-PAD = 50mil
 SMD-PAD = $50 \times 12\text{mil}$
 VIA = 40mil

[Bild r_fl.gif]

Feinstleiter: (bitte vor Entwurf nachfragen)

- Routing-Grid: $\geq 12,5\text{mil}$
- Leiterbahnen: $\geq 6\text{mil}$ ($150\mu\text{m}$)
- Strukturabstände: $\geq 6\text{mil}$ ($150\mu\text{m}$)
- Basiskupfer: max. $18\mu\text{m}$

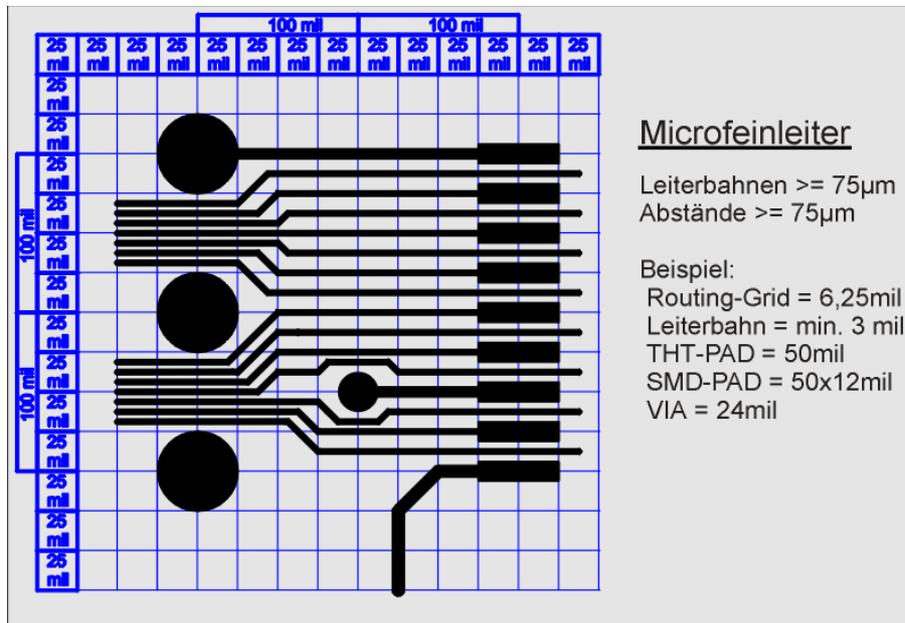


Feinstleiter

Leiterbahnen $\geq 150\mu\text{m}$
 Abstände $\geq 150\mu\text{m}$

Beispiel:
 Routing-Grid = $12,5\text{mil}$
 Leiterbahn = min. 6mil
 THT-PAD = 50mil
 SMD-PAD = $50 \times 12\text{mil}$
 VIA = 32mil

[Bild r_ffl.gif]

Mikrofeinleiter: (bitte vor Entwurf nachfragen)Routing-Grid: $\geq 6,25\text{mil}$ Leiterbahnen: $> 3\text{mil}$ ($75\mu\text{m}$)Strukturabstände: $\geq 3\text{mil}$ ($75\mu\text{m}$)Basiskupfer: max. $10\mu\text{m}$ 

[Bild r_mfl.gif]

4. PAD-Stacks

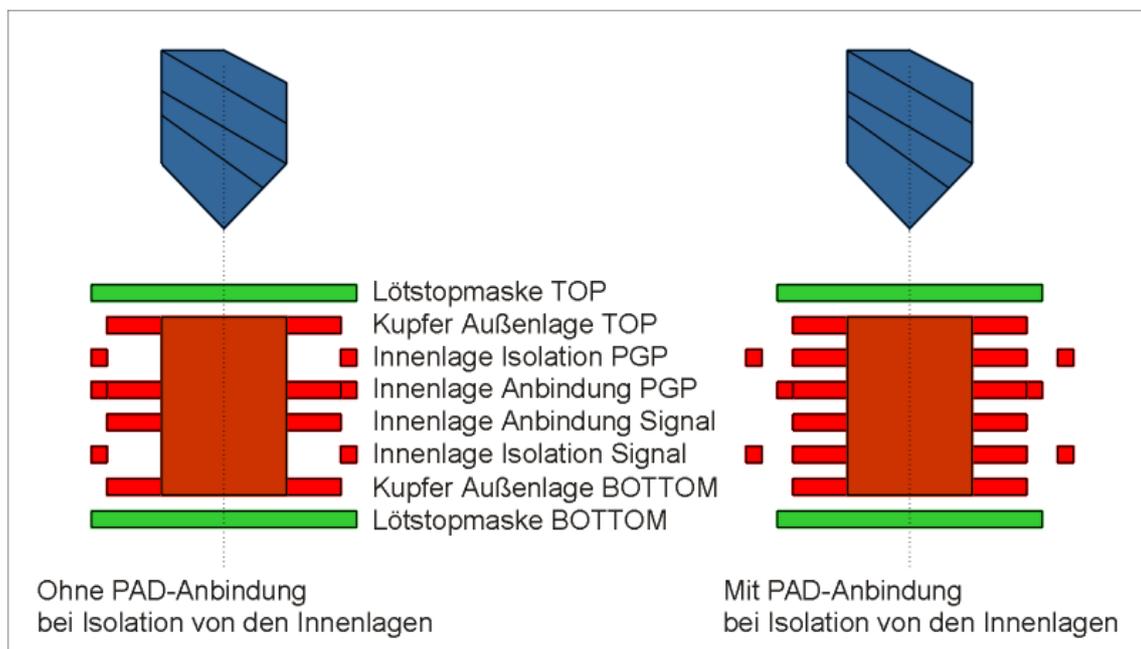
Ein PAD-Stack beschreibt das Erscheinungsbild eines PADS / VIAs auf allen relevanten Lagen einer Leiterplatte.

Oftmals werden im PAD-Stack eines Bibliothekselementes (Bauteil) alle, auch unterschiedliche, PADS zusammengefasst. PAD-Stacks sollten sehr sorgfältig erstellt, bzw. bei einer Übernahme von Bibliothekselementen überprüft werden.

Der PAD-Stack für ein Bauteil sollte immer komplett definiert werden, auch wenn es für ein aktuelles Projekt nicht notwendig erscheint.

4.1 PAD-Stack für durchkontaktierte PADS

Standard-*THT*-Bauteile (Widerstände, Kondensatoren, DIL-IC, ...) werden mit folgenden PAD-Stacks definiert.



[Bild pstack01.gif]

Ausgehend von dem gewünschten Bohrdurchmesser und dem erforderlichen Restring, ergibt sich die Mindestgröße für die Kupferflächen des PADS auf den **Außenlagen** der Leiterplatte.

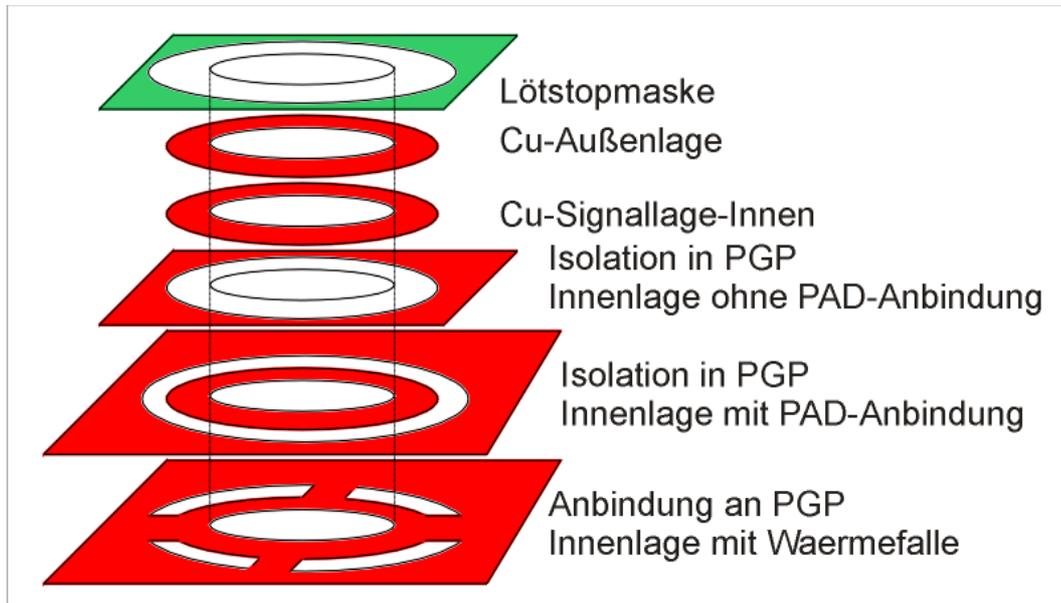
Die Aussparungen für die Lötstopmaske werden etwas größer als die PADS der Außenlagen gewählt.

Für die Anbindung an PGP's definiert man ein PAD, welches mindestens die Mindestgröße des PADS für die Außenlagen hat. Die PAD-Form kann hierbei auch als Wärmefalle ausgeführt werden. (Achtung! PGP's werden i.d.R. als Negativ dargestellt).

Analog dazu definiert man für die Anbindung in **Signallagen** ein PAD, welches wiederum mindestens die Mindestgröße des PADS für die Außenlagen hat.

Zur **Isolation** der Durchkontaktierung von den Innenlagen (speziell PGP-Lagen) kann man die Isolations-PADS dieser Lagen mit oder ohne **PAD-Anbindung** definieren. Bei PAD-Anbindung bleibt trotz Isolation auf der Lage ein PAD, welches aber nicht angeschlossen ist, und einen den Designregeln entsprechenden Abstand zu anderen Kupferstrukturen dieser Ebene erhalten muss. Ohne PAD-Anbindung definiert man eine **Aussparung**, die

ausreichend Freiraum um die Bohrung gewährleistet, was Platz sparer als die Variante mit Anbindung ist.



[Bild pstack02.gif]

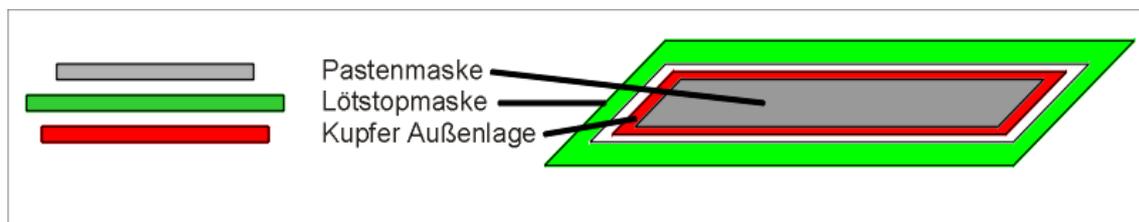
4.2 PAD-Stack für nicht durchkontaktierte PADs

Bei nicht durchkontaktierten *PADs* ist darauf zu achten, dass diese auf allen Innenlagen als **isoliert** definiert sind.

Die Kupferflächen auf den Außenlagen können bei Bedarf definiert werden, die Aussparung für die *LSM* muss vorhanden sein.

4.3 PAD-Stack für SMD-PADs

SMD-PAD-Stacks haben keine Bohrung, nur **eine** Außenlage und dadurch auch **keine** Definitionen für Innenlagen. Zusätzlich sollte aber die **Pastenmaske** für den Schablonendruck der Lötpaste definiert werden



[Bild pstack03.gif]

Ausgehend vom *Cu-PAD* der Außenlage wählt man die Aussparung für die Lötstopmaske etwas größer (6..10 mil). Dabei darauf achten, dass die *LSM*-Stege zwischen benachbarten *SMD-PADs* ausreichend groß ($\geq 100\mu\text{m}$) bleiben. Ist dies nicht möglich, wählt man die Aussparung in der *LSM* so groß, dass keine Stege mehr entstehen können. Über die Größe der Pastenmaske legt man die Menge der aufzubringenden Lotpaste fest. Normalerweise wird die Pastenmaske etwas kleiner als das *Cu-PAD* definiert, dies ist jedoch weitgehend von der benötigten Menge an Lot und dessen Eigenschaften abhängig.

4.4. PAD-Stack für VIAs

PAD-Stacks für *VIAs* gestalten sich analog zu den *PAD*-Stacks für durchkontaktierte Bohrungen.

Die Kontaktierung von Masseflächen und *PGPs* kann jedoch grundsätzlich vollflächig (ohne Wärmefallen) erfolgen.

Ob eine Aussparung für die Lötstopmmaske definiert wird, hängt davon ab, ob die *VIAs* gedeckt oder frei sein sollen.

5. Der Bestückungsdruck

5.1 Allgemeines

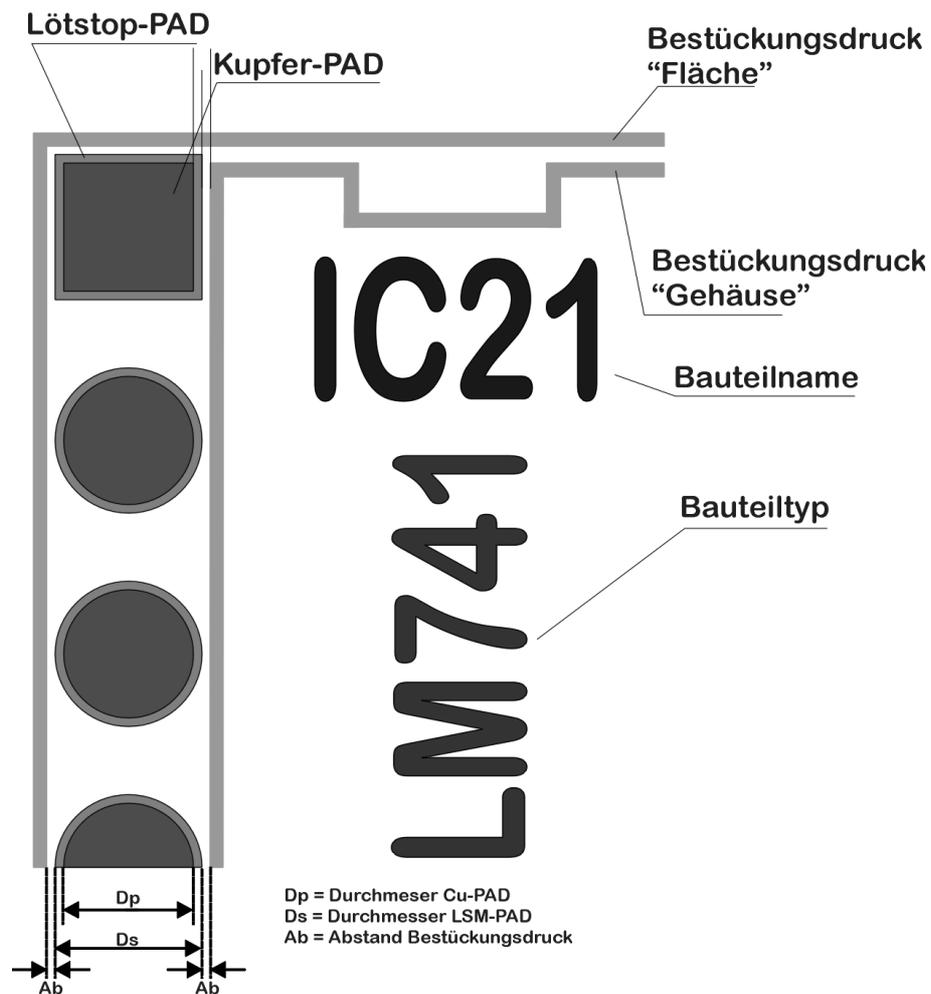
Mit dem Bestückungsdruck können zusätzliche

- Informationen über Bauteile (Position, Einbauorientierung, Typenbezeichnung, Bauteilbezeichnung, Polung, Markierungspins, ...),
- Servicehinweise,
- Anschluss- und Betriebsinformationen (Pegel, Betriebsspannungen, Schnittstelleninformationen, ...),
- sowie andere Texte und Grafiken (Produktionsnummern, Logos, ...)

auf eine Leiterplatte aufgebracht werden.

Üblicherweise ist der Bestückungsdrucklack (Signierlack) ein Siebdrucklack der mit einem strukturierten Sieb aufgebracht wird. In der LPT wird hingegen ein fotostrukturierbarer (weißer) Lack verwendet, der ganzflächig mittels Siebdruck aufgebracht und anschließend über eine Maske strukturiert wird.

Der Bestückungsdruck wird als Strukturpositiv im GERBER-Format ausgegeben.



[Bild bd_g.gif]

5.2 Designregeln

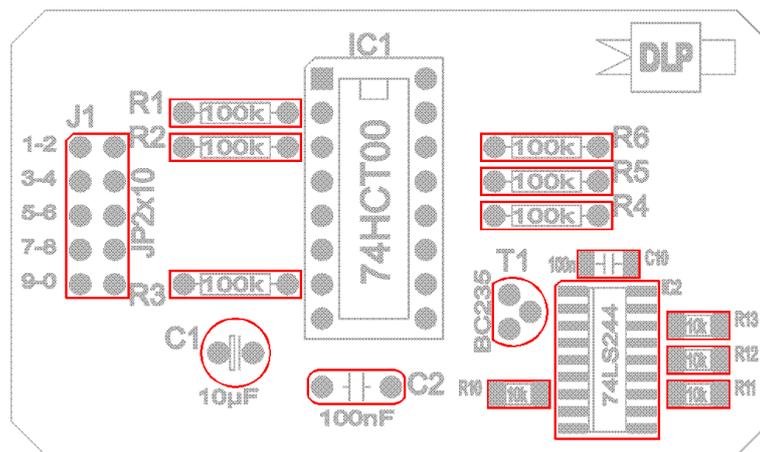
Auch beim Bestückungsdruck (**BD**) müssen elementare Regeln eingehalten werden. Der BD sollte *übersichtlich* und Texte darin *lesbar* sein, *Produktionstoleranzen* müssen eingehalten werden und die *Funktionsfähigkeit* der Leiterplatte muss gegeben bleiben. *PADs* und andere freiliegende Cu-Strukturen dürfen sich nicht mit Strukturen des BDs schneiden.

Ein minimaler Abstand muss eingehalten werden. Dabei ist zu beachten, dass bei *PADs* die Aussparung in der Lötstopplacke generell etwas größer gewählt wird als das Cu-PAD selbst. Auch hierbei darf der BD nicht in die Strukturierung der LSM hineinreichen.

Bestückungsdrucklacke haben ähnliche Eigenschaften wie Lötstopplacke (Temperaturbeständigkeit, elektrisch isolierend und hohe Haftfestigkeit), so dass Lackreste auf Lötflächen eine Lötverbindung meist verhindern.

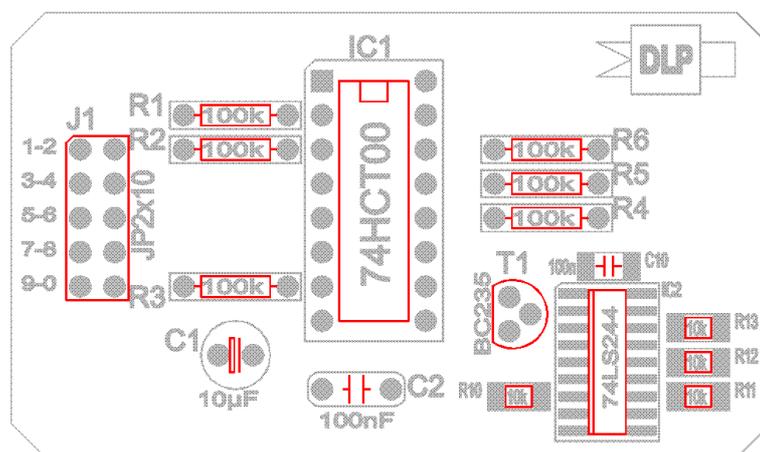
Zur Gestaltung des BD stehen meist mehrere grafische und textuelle Elemente zur Verfügung, die allein oder in Kombination miteinander angewandt werden, und ein- oder zweiseitig aufgebracht werden können.

Bauteilfläche (BD "Fläche"): Umrandung des gesamten Bauteiles (mit oder ohne Orientierungselementen) einschließlich der zugehörigen PADs, Befestigungsbohrungen und Ausbrüchen (Silkscreen, Device-Aera, ...)



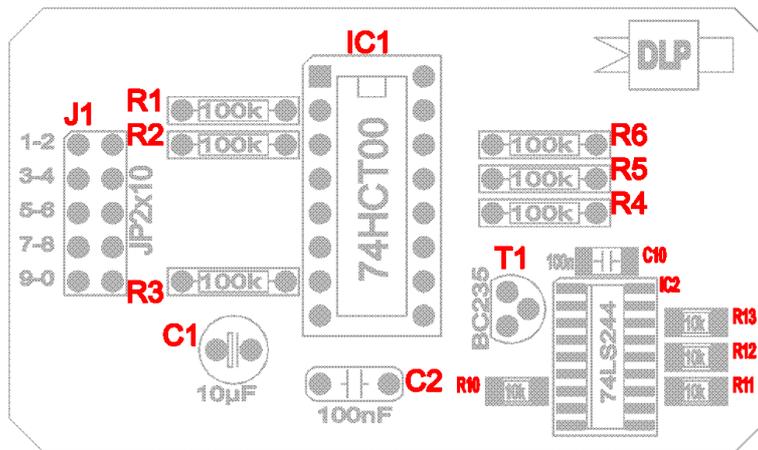
[Bild bd_1s.gif]

Bauteilgehäuse (BD "Gehäuse"): Symbolische oder stilisierte Darstellung des Bauteilgehäuses (mit Orientierungselementen) meist nur zwischen den zugehörigen PADs (Assembly, Jedec, ...)



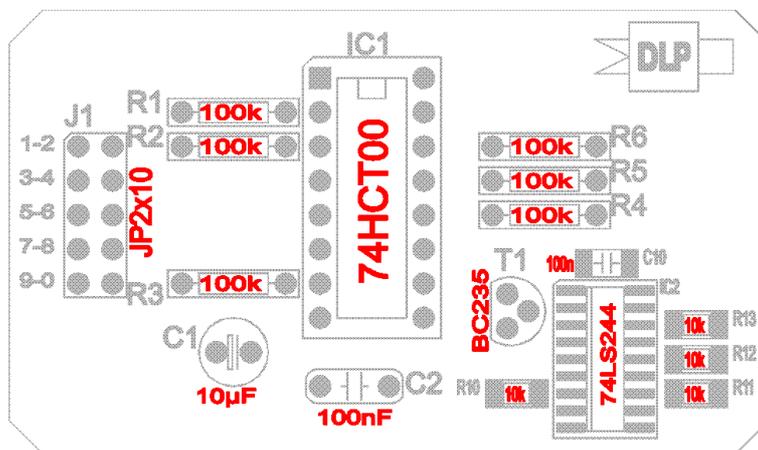
[Bild bd_2a.gif]

Bauteilname: z.B. R1, C215, U19, IC021 ,



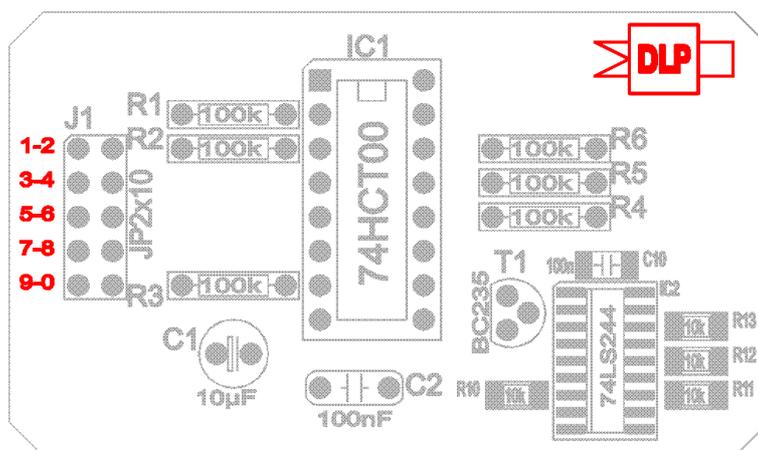
[Bild bd_3n.gif]

Bauteiltyp: z.B. 100k, 33nF, 74LS00, µPD7002C,



[Bild bd_4t.gif]

Freie Texte und Grafiken: Pegel, Schnittstelleninfos, Logos, Markierungen,



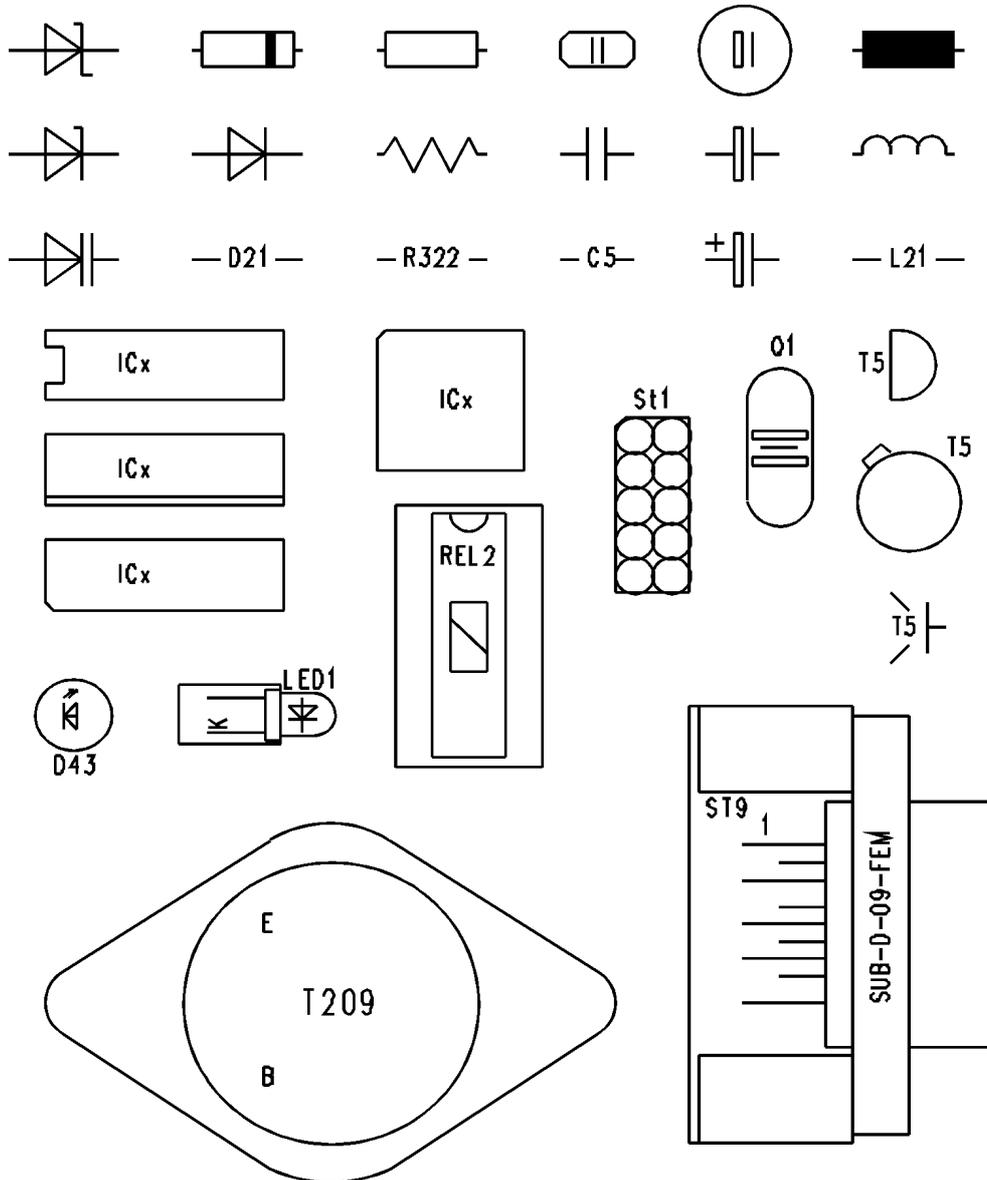
[Bild bd_5x.gif]

Welches oder welche Elemente (vollständig oder auszugsweise) eingesetzt werden sollten, hängt weitgehend von den späteren Aufgaben des BDs auf der Leiterplatte ab. Als reine Orientierungshilfe bei der Bestückung reicht Gehäusesymbol und Bauteiltyp auf der Bestückungsseite der Leiterplatte aus.

Bei einem Servicedruck hingegen möchte man gern den Bauteilenamen aufgedruckt haben und muss darauf achten, dass die Elemente zur Identifikation von Bauteilen nicht durch die bestückten Bauteile selbst verdeckt werden.

Kleine SMT-Bauteile oder sehr hohe Packungsdichten lassen es oftmals nicht zu, dass BD-Elemente sinnvoll dargestellt werden können.

Andere Bauteile wie Potentiometer oder Steckverbinder ragen über die Leiterplattenkonturen hinaus und manchmal werden Bauteile auch ineinander verschachtelt eingesetzt.



[Bild bd_sym.gif]

Die Textorientierung sollte einheitlich (von unten und von rechts lesbar) gestaltet und die Anzahl unterschiedlicher Schriftarten und Schriftgrößen in Grenzen gehalten werden.

Um die Lesbarkeit von Texten zu gewährleisten, dürfen weder Schriftgröße noch die Strichstärke der Schrift zu klein gewählt werden.

Zudem darf das Verhältnis Schriftgröße (Sh) zu Strichstärke (Sw) nicht zu klein sein; empfohlen wird $Sh/Sw \geq 7,5$.

Natürlich kann man des Guten auch zuviel tun, eine Leiterplatte mit überladenerm BD ist unübersichtlich und wirkt unprofessionell.

5.3 Tabellen

Für die Produktion in der LPT der Uni Ulm gelten folgende Werte:

	MIN* [mm]	MIN* [mil]	STD* [mm]	STD* [mil]
Strichstärken der BD-Strukturen	0,15	6	0,2	8
Abstand zwischen BD-Strukturen	0,15	6	0,2	8
Abstand zu LSM-Strukturen	0,1	4	0,15	6
Abstand zu Cu-Strukturen (Lötflächen)	0,15	6	0,2	8
Abstand zu Board-Konturen und Ausbrüchen	0,3	12	0,5	20
Strichstärken von BD-Texten	0,15	6	0,2	8
Schrifthöhe von BD-Texten	1,0	40	1,5	60

MIN* bezeichnet die absoluten Minimalwerte die herstellbar sind

STD* bezeichnet die Standardminimalwerte die gut reproduzierbar sind

Mit "Abstand" ist die geringste Distanz Aussenkante zu Aussenkante gemeint.

Die angegebenen Werte sind gerundet. Beispiele für BD-Schriftgrößen

Schrifthöhe (Sh) [mil]	40,0 (MIN*)	60,0 (STD*)	60,0 (STD*)	80,0	100,0	100,0	200,0
Strichstärke (Sw) [mil]	6,0 (MIN*)	6,0 (MIN*)	8,0 (STD*)	8,0	10,0	12,0	20,0

5.4 Datenformat

Die Produktionsdaten für den BD werden i.d.R. von einem CAD-Programm erzeugt.

In der *LPT* werden diese im Format GERBER 2.3 inch bevorzugt.

D.h. die BD-Daten stehen in einer ASCII-Datei im GERBER-Format in Inch mit 2-Stellen vor und 3-Stellen nach dem Komma (wobei das Komma nicht in den Daten steht).

Daraus ergibt sich eine Auflösung von 0,001 inch oder 1/1000 inch oder 1 mil.

Daten im Extended GERBER-Format RS-274-X sind ebenfalls möglich.

Näheres siehe unter *Fotoplotdaten*.

6. Fotoplotdaten

Die Fotoplotdaten dienen zum Ansteuern eines Fotoplotters, der die Masken/Filme zur Strukturierung der Leiterplatte erstellt.

6.1 Fotoplotter

Die Funktionsweise eines Fotoplotters ist ähnlich der eines normalen Stiftplotters (vektoriell), bzw. eines Laser- oder Matrixdruckers (linien- oder rasterorientiert).

Als Plotmedium dient hierbei lichtempfindliches Filmmaterial auf einem Kunststoff- oder einem Glasträger.

Plotwerkzeug ist anstelle von Plotterstiften, Toner, Tinte oder Farbband eine steuerbare Lichtquelle.

Bei Vektorplottern werden der Lichtquelle Blenden unterschiedlicher Form und Größe vorgeschaltet, und diese dann über das Filmmaterial bewegt.

Bei Laserplottern wird das Belichtungsmuster in einzelne Zeilen zerlegt und eine Laserlichtquelle wird, meist über Spiegel so gesteuert, dass das Belichtungsmuster zeilenweise auf den Film übertragen wird.

Ähnlich wird bei Raster- oder Matrixplotters das gesamte Belichtungsmuster in einzelne Teilbilder zerlegt, und über eine Belichtungsmatrix (Kathodenstrahlröhre, LCD-Matrix,...) sequentiell auf den Film belichtet.

Eine relativ neue Belichtungstechnologie bilden die Leiterplattendirektbelichter. Bei ihnen werden die Strukturen direkt auf eine fotoempfindliche Schicht der Leiterplatte (Galvano-, Ätz-, Lötstoppresist,...) belichtet.

In der *LPT* wird zur Herstellung der Belichtungsmasken ein MIVA-Matrixfotoplotter (www.mivatec.com) verwendet.

6.2 Datenformat

Fotoplotdaten für Leiterplatten werden i.d.R. mit ECAD-Systemen erstellt.

Die Plotdaten werden als *ASCII-Datei* in einem für den Fotoplotter oder die Weiterverarbeitung geeigneten Format abgelegt.

Dieses Format beinhaltet Blenden-, Positions- und Steuerinformationen.

Aus diversen, meist plotterspezifischen Datenformaten (Marconi, Aristomat, HPGL,...), hat sich das GERBER- Datenformat der Firma *GERBER Scientific Instruments Company* als Quasi-Standard für Leiterplattenplotdaten etabliert. Zwar ist auch eine Umsetzung anderer Grafikdatenformate möglich, so arbeiten z.B. viele Belichtungsmaschinen der Druckindustrie mit PostScript-Formaten, welche aber für die Leiterplattenherstellung nicht unbedingt sinnvoll sind.

Das GERBER-Format ist eine vektororientierte NC-Maschinensprache bei der die Werkzeugwechsel einem Blendenwechselbefehl entsprechen.

Man unterscheidet heute zwei Variationen des GERBER-Datenformates.

Zum einen das ältere **Standard-GERBER-Format (RS 274 D)**, bei dem Plotdaten und Blendentabelle (D-Code-Tabelle mit Form und Größe der Blenden) getrennt sind, und das **Extended-GERBER-Format (RS 274 X)**, welches Plotdaten und Blendentabelle (sowie weitere Informationen zum Plot) in einer Datei vereint.

In der *LPT* werden die Daten im **Standard-GERBER-Format 2.3inch ohne G-, I- oder J-Befehle** bevorzugt. Daten im Extended GERBER-Format RS-274-X sind ebenfalls möglich und problemlos zu verarbeiten.

Um die Fotoplotdaten in der von uns benötigten Form von einem ECAD-System erzeugen zu lassen, ist es notwendig dem System die unserem Fotoplotter zugeordnete **Blendentabelle** bekannt zu geben. Die GERBER-Daten sollten im Format Standard-GERBER 2.3 inch erzeugt werden. D.h. die Plotdaten stehen in einer ASCII-Datei im Standard-GERBER-Format in Inch mit 2-Stellen vor und 3-Stellen nach dem Komma (wobei das Komma nicht in den Daten steht).

Daraus ergibt sich eine Auflösung von 0,001 Inch oder 1/1000 Inch oder 1 mil.

Folgende Einstellungen sind (abhängig vom verwendeten ECAD-System) möglich:

<i>Datenformat :</i>	GERBER oder Standard-GERBER
<i>Dateiformat :</i>	ASCII
<i>Koordinatenart:</i>	absolut
<i>Maßeinheit :</i>	Imperial, Inch oder mil
<i>Maßstab :</i>	1 : 1
<i>Gespiegelt :</i>	NEIN
<i>Gedreht:</i>	NEIN
<i>Anzahl Vorkommastellen :</i>	2
<i>Anzahl Nachkommastellen :</i>	3
<i>Anzahl Koordinatenstellen :</i>	5
<i>Auflösung:</i>	0,001 Inch, 1/1000 Inch, 1 mil
<i>Nullunterdrückung :</i>	AUS
<i>Führende Nullen :</i>	AN oder AUS (Leading Zeros)
<i>Folgenullen :</i>	AN (Trailing Zeros)
<i>Befehl Dateianfang :</i>	M00*_nl_
<i>Befehl Dateiarbeit :</i>	M02*_nl_
<i>Blendenwechsel :</i>	D_nn*_nl_
<i>Plotkoordinaten :</i>	X_nnnnn_Y_nnnnn*_nl_
<i>End_Off_Block_Befehl:</i>	*_nl_
<i>LIGHT-ON-Kommando:</i>	D01
<i>LIGHT-OFF-Kommando:</i>	D02
<i>FLASH-Kommando:</i>	D03
<i>Blenden-Kommando:</i>	D_nn*_nl_
<i>max. Plotfläche:</i>	500mm x 400mm / 19,5 x 15,7 Inch
<i>Standardfilmgröße:</i>	400mm x 300mm / 15,7 x 11,8 Inch
<i>Nur positive Koordinaten :</i>	NEIN

(wo _nl_ Zeilenumbruch, nnnnn_ der Koordinatenwert, _nn_ Blendennr./D-Code ist)

Nicht bei allen ECAD-Systemen lassen sich die Ausgabeparameter so einstellen, dass die Plotdaten exakt den gewünschten Vorgaben entsprechen, oder es wird eine höhere Auflösung gewünscht. Abweichende Einstellungen (oder die Verwendung von RS 274 X) können auf dem Auftragsformular vermerkt werden, bzw. kann der Produktionsdatensatz durch die von den meisten ECAD-Systemen erzeugten Informations-, Report- oder Konfigurationsdateien ergänzt werden.

Beispiel Fotoplotdatei (Gerberdatei) mit Erläuterungen:

M00*	==> Beginn Plotdatendatei / Startkommando
D13*	==> Auswahl Blende D13
X00100Y00100D02*	==> Fahre Koordinate ohne Licht an
X00200Y00200D01*	==> Fahre Koordinate mit Licht an
X00250Y00100*	==> Fahre Koordinate an
X00300Y00200*	Befehl LICHT-AN (D01) bleibt
X00250Y01901*	aktiv bis Befehl LICHT-AUS (D02)
X01100Y01120*	oder Befehl BLITZ (D03)
X01210Y02303*	
D243*	==> Auswahl Blende D243
X03300Y02100D03*	==> Fahre Koordinate an blitze mit aktiver Blende
X03300Y02200D03*	==> Fahre Koordinate an blitze mit aktiver Blende
X03300Y02300D03*	==> Fahre Koordinate an blitze mit aktiver Blende
... weitere Plotkoordinaten ...	
X01214Y01603*	
X01219Y02803*	
X01710Y02663*	
M02*	==> Ende Plotdatei / Endekommando

Die Zuordnung der Blendennummern (D-Codes) zu den Blendengrößen und -formen erfolgt entweder durch die Verwendung einer vorgegebenen Blendentabelle, oder in einer Blendeninformationsdatei (vom CAD-System erzeugt), oder im Dateikopf der Plotdatendatei (RS-274 X).

Zusätzlich zu der Plotdatendatei (und eventuellen Plotinformationsdateien) wird noch ein Kontrollausdruck, im Maßstab 1:1 auf transparentem oder opakem Papier, für jede Lage (Kupfer, Lötstopp, Bestückungsdruck,...) benötigt.

6.3 Blendenformen

Es gibt eine Reihe von Blendenformen, aus denen sich alle Strukturen einer Leiterplatte zusammensetzen.

Die Standardblendenformen bilden die Basis einer Blendentabelle.

Von diesen sind die Formen

RUND, QUADRAT, RECHTECK, RUNDLINIE und QUADRATLINIE

die wichtigsten.

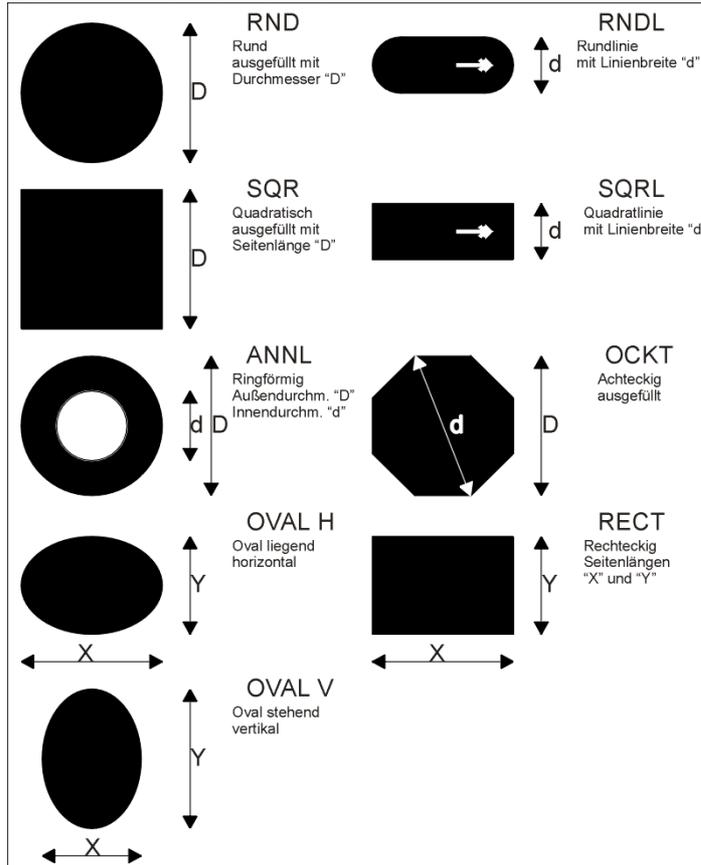
Die Formen

ACHTECK, OVAL und RING

sollten nur eingeschränkt verwendet werden, da ihre Interpretation bei unterschiedlichen ECAD-Systemen verschieden sein kann.

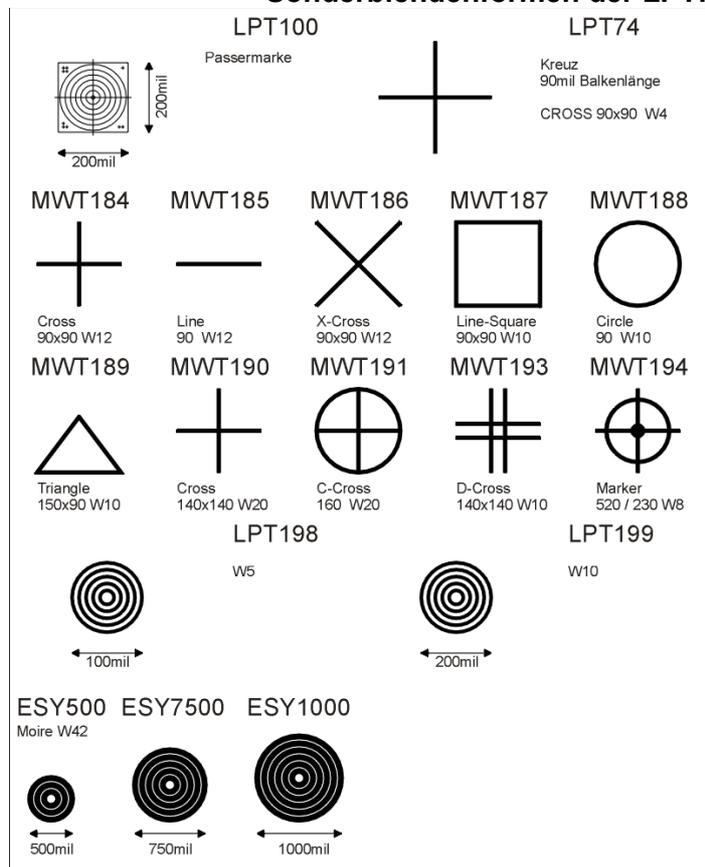
Einfach oder auch komplex strukturierte Blenden, die auf den Standardblenden basieren, sind die Sonderblenden.

Standardblendenformen der LPT:



[Bild bln1.gif]

Sonderblendenformen der LPT:



[Bild bln1.gif]

6.4 Blendentabelle

Die Blendentabelle für den Fotoplotter der *LPT* besteht aus ca. 700 Blenden.

- Runde und quadratische Blenden für FLASH- und LINE-Befehle von 2mil bis 100mil / 1mil steigend.
- Runde und quadratische Blenden für FLASH- und LINE-Befehle von 105mil bis 300mil / 5 mil steigend.
- Runde und quadratische Blenden für FLASH- und LINE-Befehle von 325mil bis 500mil / 25 mil steigend.
- Achteckige Blenden für FLASH-Befehle von 30mil bis 100mil / 5 mil steigend.
- Achteckige Blenden für FLASH-Befehle von 125mil bis 225mil / 25 mil steigend.
- Ringförmige Blenden für FLASH-Befehle von 30mil bis 100mil / 5 mil steigend.
- Ringförmige Blenden für FLASH-Befehle von 125mil bis 225mil / 25 mil steigend.
- Rechteckige und ovale Blenden diverser Größen und Orientierungen.
- Diverse Sonderblenden.

Die komplette Blendentabelle im ASCII-Format, sowie einige bereits an verschiedenen ECAD-Systeme angepasste Tabellen stehen zum Download auf unseren Internet-Seiten bereit.

lpt.aper.zip	Allgemeine Blendentabelle im ASCII-Format
lpt_a600.zip	ARIADNE von CadUI Version 6.0
lpt_a650.zip	ARIADNE von CadUI Version 6.5
lpt_a710.zip	ARIADNE von CadUI Version 7.1
lpt_a770.zip	ARIADNE von CadUI Version 7.7
lpt_a8xx.zip	ARIADNE von CadUI Version 8.x bis 9.2
lpt_e2xx.zip	EAGLE Versionen 2.xx
lpt_e302.zip	EAGLE Version 3.02
lpt_e355.zip	EAGLE Version 3.55
lpt_e401.zip	EAGLE Versionen 4.01
lpt_e4xx.zip	EAGLE Versionen 4.02.. 4.xx
lpt_e*xx.zip	EAGLE Versionen *
lpt_x206.zip	PCB-Editor EASYTREX Version 2.06
lpt_prot.zip	Protel Advanced PCB für WINDOWS
lpt_targ.zip	TARGET 2001 für WINDOWS
lpt_or92.zip	OrCad 9.2 für WINDOWS

7. Bohr- und Fräsdaten

Die Bohr- und Fräsdaten dienen zum Ansteuern einer CNC-Bohr- / Fräsmaschine, die die Leiterplatte bohrt und fräst.

7.1 Bohrdaten

Die Bohrdaten werden i.d.R. von einem CAD-Programm erzeugt, in der *LPT* werden diese im Format **EXCELLON 3.2 mm** bevorzugt. D.h. die Bohrdaten stehen in einer ASCII-Datei im EXCELLON-Format in Millimetern mit 3-Stellen vor und 2-Stellen nach dem Komma (wobei das Komma nicht in den Daten steht).

Daraus ergibt sich eine Auflösung von 0,01mm oder 1/100mm.

Folgende Einstellungen sind (abhängig vom verwendeten CAD-System) möglich:

<i>Datenformat :</i>	EXCELLON oder EXCELLON I
<i>Dateiformat :</i>	ASCII
<i>Koordinatenart:</i>	absolut
<i>Maßeinheit :</i>	metrisch oder Millimeter
<i>Anzahl Vorkommastellen :</i>	3
<i>Anzahl Nachkommastellen :</i>	2
<i>Anzahl Koordinatenstellen :</i>	5
<i>Auflösung :</i>	0,01mm oder 1/100mm
<i>Nullunterdrückung :</i>	AUS (NoZeros)
<i>Führende Nullen :</i>	AN oder AUS (Leading Zeros)
<i>Folgenulln :</i>	AN (Trailing Zeros)
<i>Befehl Dateianfang :</i>	% oder %%
<i>Befehl Dateiende :</i>	M27 _nl_ M30 (wo _nl_ Neue Zeile bedeutet)
<i>Werkzeugwechsel :</i>	T_n_C_d__nl_ (wo _n_ Werkzeugnr. und _d_ Werkzeugdurchm. ist)
<i>Bohrkoordinaten :</i>	X_nnnnn_Y_nnnnn__nl_ (wo _nnnnn_ der Koordinatenwert ist)

Nicht bei allen CAD-Systemen lassen sich die Ausgabeparameter so einstellen, dass die Bohrdatei exakt den gewünschten Vorgaben entspricht.

Abweichende Einstellungen können auf dem Auftragsformular vermerkt werden, bzw. kann der Produktionsdatensatz durch die von den meisten CAD-Systemen erzeugten Informations-, Report- oder Konfigurationsdateien ergänzt werden.

Es ist auch möglich, dass die Format- und Werkzeuginformationen als Dateikopf in die Bohrdatei geschrieben werden.

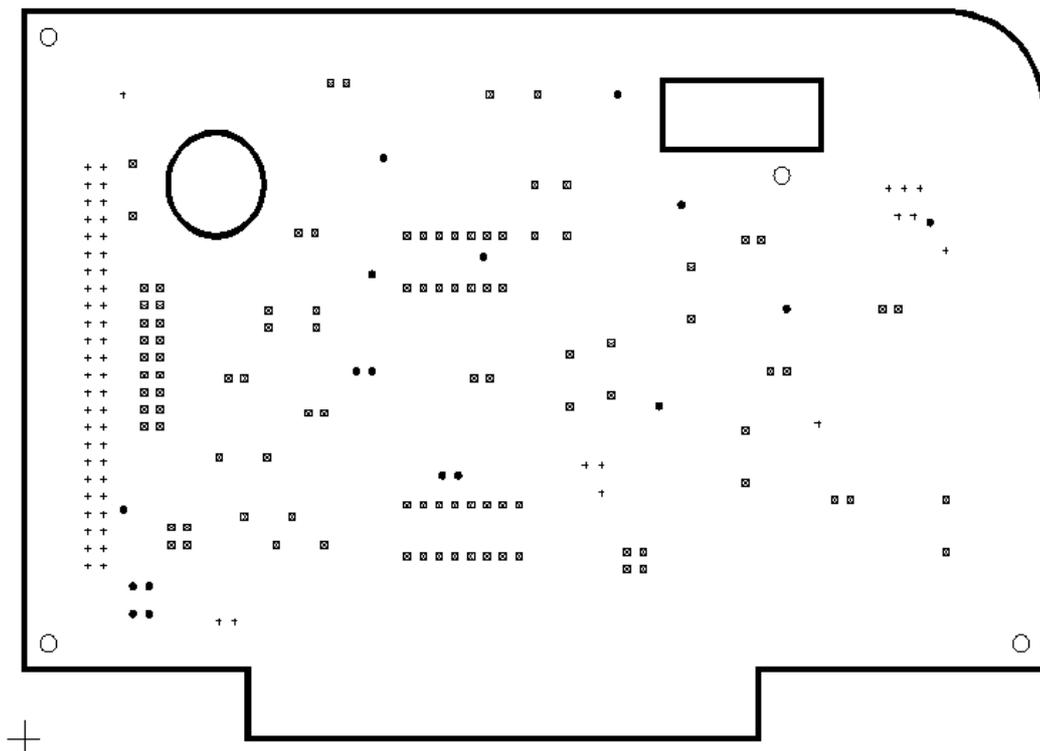
Beispiel Bohrdatei mit Erläuterungen:

%%	==> Beginn Bohrdatei
(EXCELLON - Bohrdatei)	==> Kommentar
G93X0Y0	==> Nullpunkt festlegen (hier für Klartextbohren)
T01C80	==> Werkzeugwechsel Bohrer mit Durchmesser 0,8mm
M97,TEXT	==> Klartextbohren
X0.Y1.	==> Koordinaten Klartextbohren
G93X0Y0	==> Nullpunkt festlegen (hier für Bohrbild)
T02C60	==> Werkzeugwechsel Bohrer mit Durchmesser 0,6mm
X01000Y01000	==> Bohrkoordinate
X01254Y01254	==> Bohrkoordinate
X01508Y01508	==> Bohrkoordinate
... weitere Bohrkoordinaten ...	
X14254Y06508	==> Bohrkoordinate
T03C120	==> Werkzeugwechsel Bohrer mit Durchmesser 1,2mm
X00105Y07065	==> Bohrkoordinate
X00405Y07065	==> Bohrkoordinate
... weitere Bohrkoordinaten ...	
X01405Y07065	==> Bohrkoordinate
M27	==> Ende Step and Repeat
M30	==> Ende Bohrdatei

Die Zuordnung der Werkzeugnummern zu den Werkzeugdurchmessern erfolgt

- in der Bohrdatei beim Werkzeugwechselbefehl,
- in einer Bohrinformationsdatei (vom CAD-System erzeugt),
- in einer Bohrlegende auf dem Bohrkontrollausdruck (der sowieso mitgeliefert werden soll),
- im Dateikopf der Bohrdatei,
- in einer festgelegten Zuordnungstabelle (nur bei manchen CAD-Systemen),

Zusätzlich zu der Bohrdatendatei (und eventuellen Bohrdateninformationsdateien) wird noch ein Bohrkontrollausdruck (Bohrplan) im Maßstab 1:1 auf transparentem oder opakem Papier benötigt. Auf dem Ausdruck muss der Nullpunkt der Bohrkoordinaten gekennzeichnet sein.



Bohrkontrollausdruck / Bohrplan

SYM	SIZE	QTY	PLATE
•	0,60	32	Yes
+	0,70	78	Yes
□	0,80	132	Yes
○	2,50	5	Yes

[Bild bm01.gif]

7.2 Fräsdaten

Die Fräsdaten für die CNC-Maschine werden in der LPT bei der Datenaufbereitung erzeugt, dazu wird eine Bemaßungszeichnung im Maßstab 1:1 benötigt.

Der Zeichnungsnullpunkt sollte identisch mit dem Nullpunkt der Bohrkoordinaten sein.

Alle Maße müssen in Millimeter angegeben sein und sich auf den Ursprung beziehen (absolute Bemaßung), bitte keine Kettenbemaßung.

Bei einfachen Konturen, kann die Bemaßungszeichnung mit dem Bohrkontrollausdruck kombiniert werden. Die Eckkoordinaten können auch handschriftlich vermerkt werden.

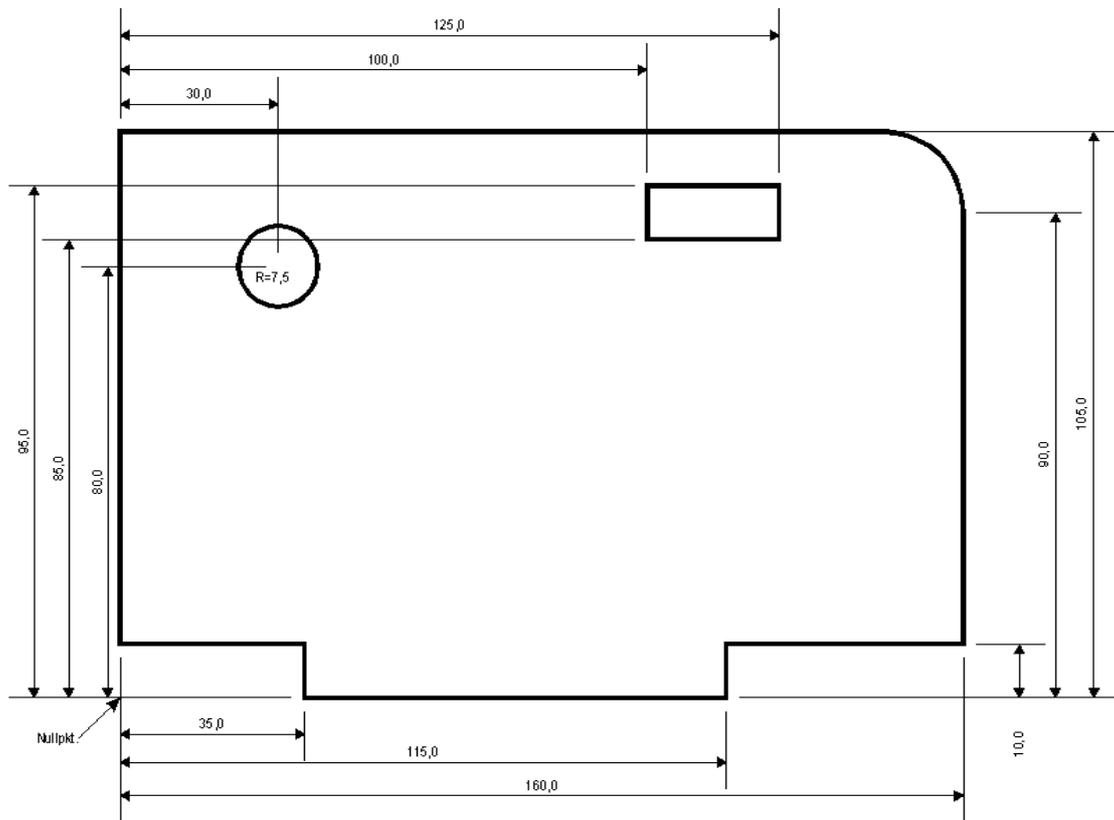
Mögliche Fräsformen sind Polygone und Kreise, sowie Kreisteile.

Bei Polygonen müssen die Eckkoordinaten ersichtlich sein, bei Kreisen die Mittelpunktskoordinaten und der Radius.

Bei Teilkreisen sollte man ohne größere Berechnungen die Start- und Endkoordinaten des Kreisbogens, sowie dessen Radius ablesen können.

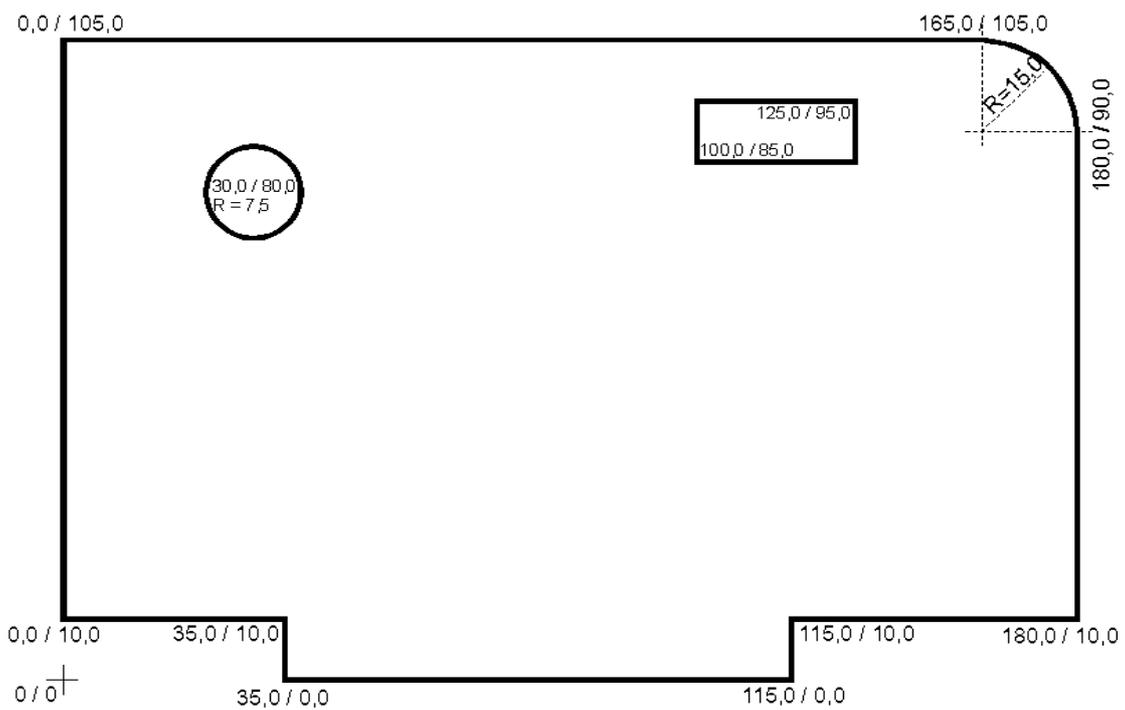
Zusätzlich kann auch eine vom CAD-System erzeugte Outline-, Dimensions- oder Konturdatei im GERBER-Format beigefügt werden, aus der die Fräsdaten generiert werden können.

Konventionelle Bemaßung ausgehend vom Nullpunkt



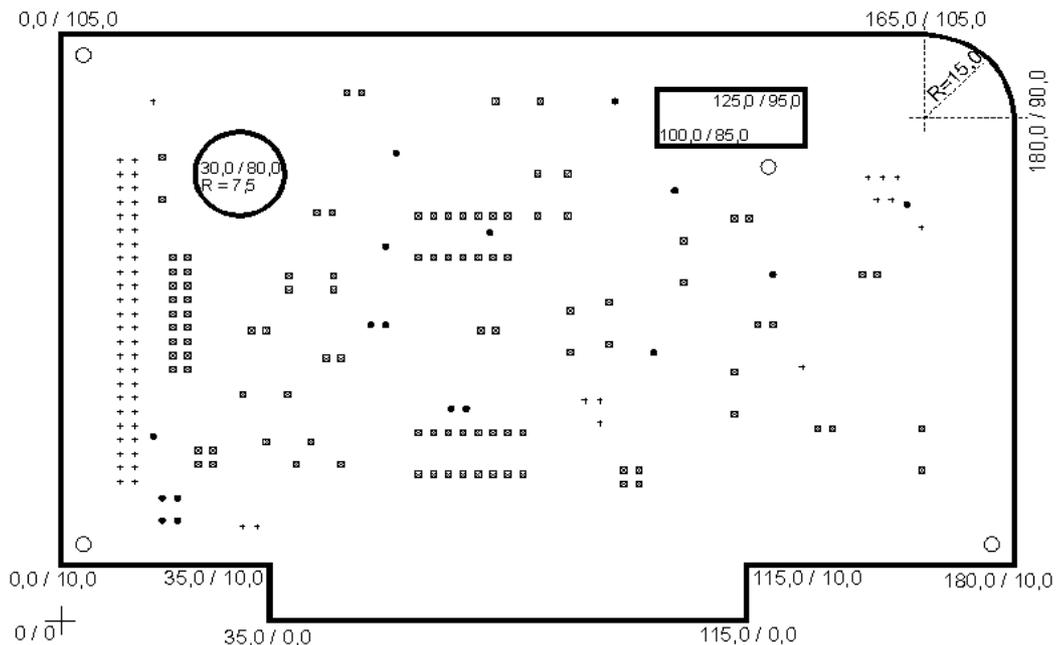
[Bild bm04.gif]

Bemaßung über Koordinaten ausgehend vom Nullpunkt



[Bild bm03.gif]

Bohrplan und Bemaßung über Koordinaten ausgehend vom Nullpunkt



Bohrkontrollausdruck / Bohrplan

SYM	SIZE	QTY	PLATE
•	0,60	32	Yes
+	0,70	78	Yes
■	0,80	132	Yes
○	2,50	5	Yes

[Bild bm02.gif]

7.3 Werkzeuge

Als Werkzeuge für Bohrungen und Fräsungen stehen in der LPT zur Verfügung:

- Bohrer mit Durchmesser 0,2 mm bis 4,2 mm -- 0,1 mm steigend (CNC)
- Fräser mit Durchmesser 1,0 mm, 2,0 mm und 2,4 mm (CNC)
- Bohrer und Fräser anderer Durchmesser auf Anfrage

Bohrungen größer 4,2 mm werden vorgebohrt und müssen später manuell auf den größeren Nenndurchmesser aufgebohrt werden, oder werden ausgefräst.

Bohrungen größer 4,2 mm, vereinzelt *NDK*-Bohrungen und Langlöcher müssen auf dem Bohrkontrollausdruck gekennzeichnet werden.

Es dürfen keine doppelten Bohrungen, Bohrung in Bohrung oder Bohrungen die sich schneiden vorkommen.

Bohrungen müssen mindestens 0,2 mm Abstand zueinander haben.

Bohrdurchmesser müssen in Millimetern, eine Stelle nach dem Komma genau angegeben werden.

Redundante Bohrdurchmesser (0,98 mm / 1,0 mm / 1,03 mm ==> 1,0 mm) vermeiden oder angleichen (soweit möglich).

Ein Beispiel für eine EAGLE Tool-Tabelle steht unter [7_lptdrl.drl](#) auf unseren Internet-Seiten zum Download bereit.

8. Basismaterial

8.1 Allgemein

Basismaterialien sind das Ausgangsmaterial für die Leiterplattenfertigung, aus ihnen bestehen die Leiterplattenrohlinge. Das Basismaterial besteht aus einem Trägerwerkstoff (elektrischer Isolator, Dielektrikum) der mit einer Kupferschicht bedeckt ist.

Basismaterialien werden von einer Vielzahl von Herstellern mit unterschiedlichen elektrischen und mechanischen Eigenschaften angeboten.

Das Basismaterial variiert in seinen Eigenschaften. Die wichtigsten davon sind:

- Materialart (allg. Materialeigenschaften)
- Mechanische Bearbeitbarkeit (fräsen, stanzen, ritzen, bohren)
- Chemische Eigenschaften (Durchkontaktierbarkeit, Beständigkeit gegen Chemikalien)
- Elektrische Eigenschaften (Spannungsfestigkeit, Durchgangswiderstand, Oberflächenwiderstand, Dielektrizitätskonstante)
- Materialdicke (Stabilität, Dicke des Dielektrikums, Wellenwiderstand)
- Dielektrikum (Hochfrequenzeigenschaften)
- Temperaturbeständigkeit (Flammpunkt, Glaspunkt, Wärmestabilität, Temperaturexpansion)
- Stärke der Kupferkaschierung (Strombelastbarkeit, Leitungsparameter, Wellenwiderstand)

Bezeichnung, Kennzeichnung und Eigenschaften von Basismaterialien werden z.B. beschrieben in:

DIN 7735, DIN 40801 bis DIN 40804
 DIN/ICE 249
 MIL-P-13949
 BS 4584 (GB)
 NEMA LI-1
 ISO/R 1642

8.2 Materialarten

Einige Trägerwerkstoffarten von Basismaterialien

Material	Bezeichnung	Epsilon R (bei 1MHz)	Verlustfaktor (bei 1MHz)	Bemerkung
Epoxydharz-Glasfaser-Gewebe	FR4, GF, EP-GC-xx	4,3 ... 5,4	ca. 0,020	Standardmaterial in der LPT
Phenolharz-Papier	FR2, PF-CP-02	> 5		Preisgünstigstes Material, nicht für chem. Durchkontaktierung geeignet
PTFE	div. Handelsnamen	2,2..		Sehr gute HF-Eigenschaften Nicht oder nur sehr schwer chemisch. durchkontaktierbar
Polyimid		4,1	0,015	
Cyanatester		3,5	0,005	
Keramische Werkstoffe				Mech. Bearbeitung Problematisch, nicht chem. durchkontaktierbar

Die Dielektrizitätskonstante (Epsilon R) der unterschiedlichen Materialien variiert zwischen ca. 2,0 und 10,0.

Die elektrischen und mechanischen Eigenschaften von Basismaterialien sind abhängig von Materialgeometrie, Temperatur, Luftfeuchtigkeit und Umgebungsmedium.

Alle Eigenschaften der Materialien sind den in der Industrie üblichen Mess- und Produktionstoleranzen unterworfen.

Exakte Daten müssen beim Hersteller oder Lieferanten erfragt, oder über individuelle Messreihen ermittelt werden.

Übliche Basismaterialdicken (Dicke des Dielektrikums ohne Cu) sind

0,127, 0,254 mm, 0,4 mm, 0,5 mm, **0,8 mm**, 1,0 mm, **1,5 mm** und 2,4 mm ...

Übliche Kupferschichtdicken sind

5 µm, 9 µm, **18 µm**, 35 µm, 70 µm und 105 µm ...

Nicht alle Materialien sind in jeder Dicke und mit jeder Kupferkaschierung verfügbar.

Oftmals werden die Daten des Basismaterials in us-amerikanischen Größen angegeben.

Abmessungen des Dielektrikums in Inch (1" = 2,54 cm) und die Kupferkaschierung in Unze pro Quadratfuß (1 sq.ft/oz. entspricht ca. 18 µm Kupferdicke).

8.3 In der LPT

In der *LPT* wird hauptsächlich kupferbeschichtetes Epoxidharz-Glasfaser-Laminat (FR4) verwendet.

Dieses lässt sich gut mechanisch bearbeiten und sehr gut chemisch durchkontaktieren.

Die elektrischen Eigenschaften sind:

Spannungsfestigkeit 45 kV

Dielektr. Verlustfaktor bei 1 MHz ca. 0,020

Dielektrizitätskonstante bei 1 MHz ca. 5,0

Oberflächenwiderstand mind. 10.000 MOhm

Durchgangswiderstand mind. 10.000 MOhm

Andere, kundenspezifizierte Basismaterialien können in den Fertigungsprozess eingebracht werden.

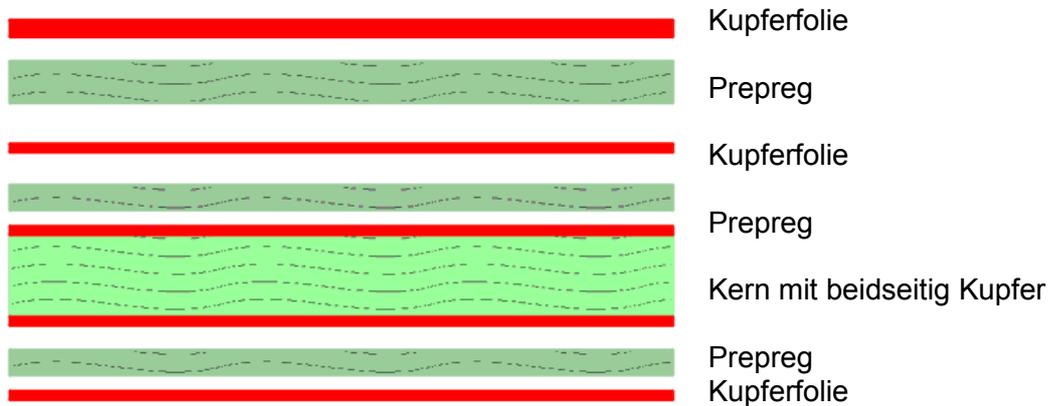
Hierbei ist zu beachten, dass eine Mindest- und Maximalgröße vorgegeben ist und dass nicht alle Fertigungsschritte an bestimmten Materialien, von der LPT durchgeführt werden können.

9. Multilayer

9.1 Allgemein

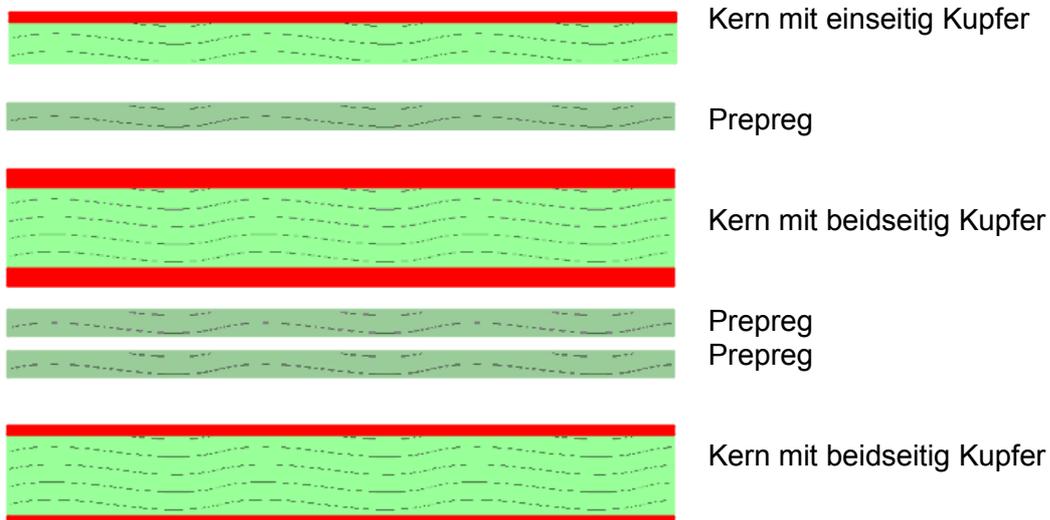
Multilayer (Mehrlagenleiterplatten) sind Leiterplatten die mehr als **zwei** Kupferlagen haben. Diese werden aus Kupferfolien*, Prepregs** und Kernen*** aufgebaut. Alle 3 Komponenten können unterschiedliche Dicken haben und werden während der Leiterplattenproduktion zu einem Lagenstapel verpresst.

Sequentieller Aufbau mit Innenkern:



[Bild ml_sequentiel.gif]

Aufbau mit Innen- und Außenkernen



[Bild ml_kern.gif]

*Kupferfolie: Dünne Folie aus Kupfer.

**Prepreg: Abk. für *preimpregnated fibres*. Nicht ausgehärtetes Harz-Härter-Gemisch in einem Fasergewebe (Epoxid-Härter-Glasgewebe). Wird als Klebeschicht zum Verbinden und Isolieren beim Multilayer-Aufbau verwendet. Härtet durch Hitze und Druck beim Verpressen aus. Hat einen geringeren Glaspunkt als Multilayer-Kerne.

***Kern: Voll ausgehärteter Basismaterialkern mit oder ohne Kupferfolie

9.1 Multilayer in der LPT

In der *LPT* werden Multilayer **immer** aus Kernen aufgebaut. Diese Kerne können unterschiedliche Dicken des Dielektrikums, unterschiedliche Dicken der Kupferauflage und unterschiedliche Materialien des Dielektrikums haben. Als Standard-Prepreg wird ein 100µm starkes FR4-Prepreg (104-ML) verwendet.

Beispiele für Kerne:

200µm FR4 + 2 x 18µm Cu
 400µm FR4 + 1 x 18µm Cu
 500µm FR4 + 2 x 18µm Cu
 800µm FR4 + 2 x 35µm Cu
 254µm Ro4003 + 2 x 18µm Cu

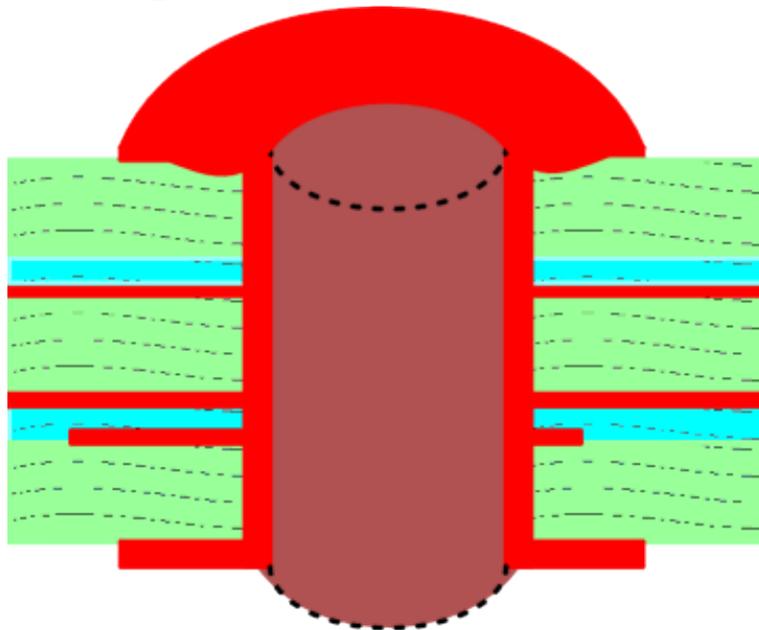
Diese Kerne können gestapelt und mit Prepregs verpresst werden, wobei das Kupfer aller Innenlagen vor dem Verpressen strukturiert wird. Folgen zwei Cu-Lagen direkt aufeinander, müssen zwei Prepregs eingefügt werden.

Die Kerne bleiben in ihren Dicken weitgehend stabil, die Prepreg-Dicken hingegen um ca. 20% schrumpfen.

Nach dem Verpressen wird das Packet gebohrt, rückgeätzt und durchkontaktiert.

Fertigungs- und Ausstattungsbedingt sind in der *LPT* vorwiegend **Through-VIAs**, also Durchkontaktierungen **durch alle Lagen** möglich. Blind-VIAs und Burried-VIAs können zurzeit in der *LPT* nur in sehr eingeschränktem Umfang hergestellt werden.

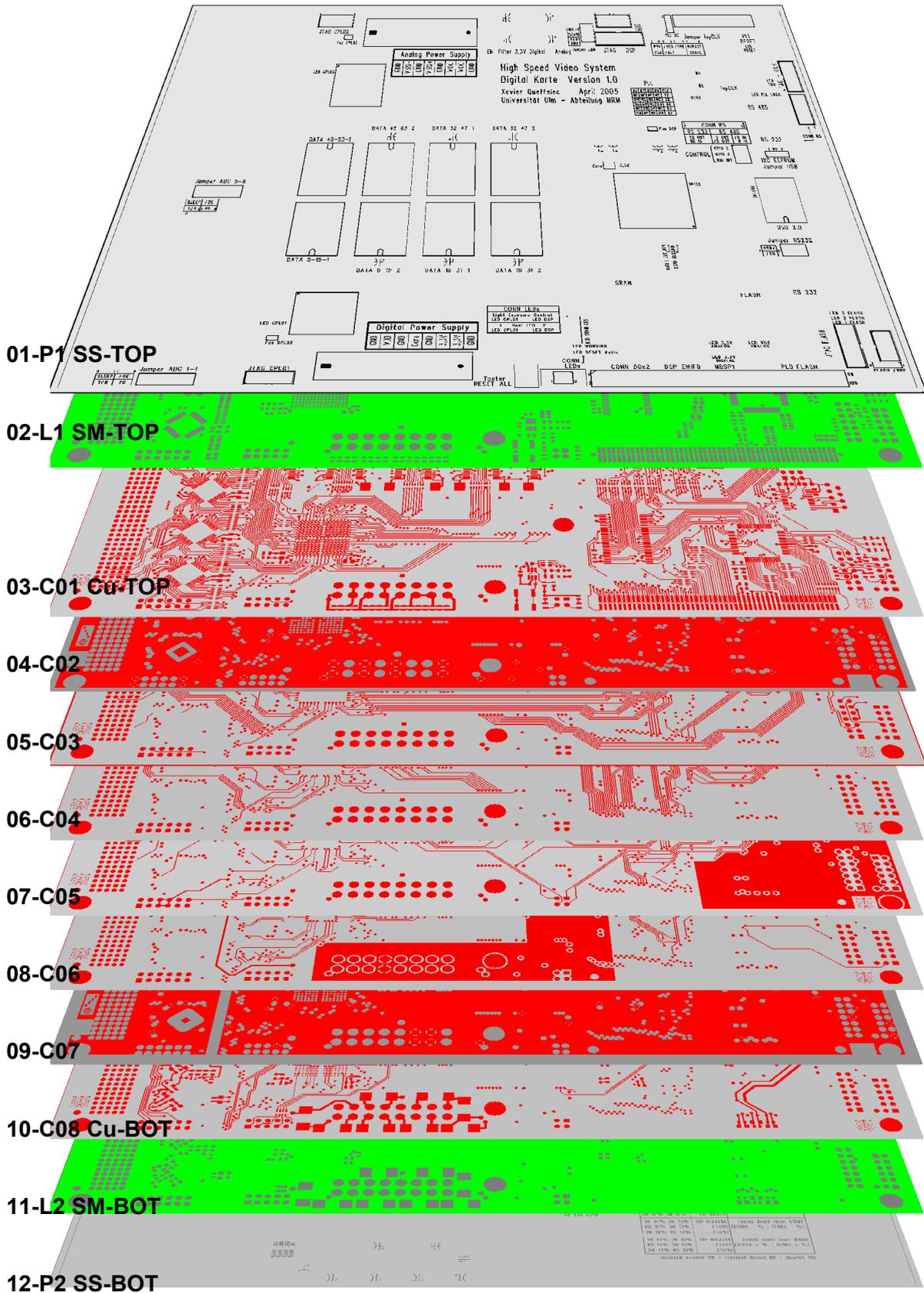
Through-VIA THT



[Bild ml-through.gif]

Die weitere Verarbeitung der Multilayer-Leiterplatte (Leiterbildaufbau, Ätzen, Oberflächenbehandlung, Lötstopp, Bestückungsdruck, Fräsen, ...) erfolgt analog einer doppelseitigen Leiterplatte.

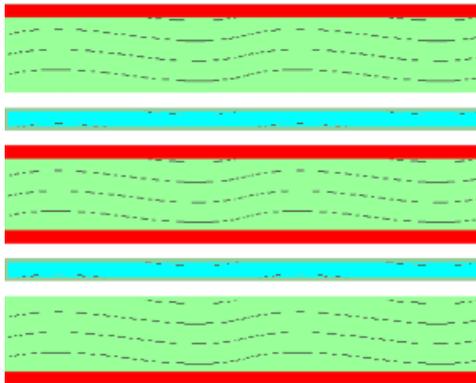
Die einzelnen Lagen werden von oben nach unten fortlaufend durchnummeriert.



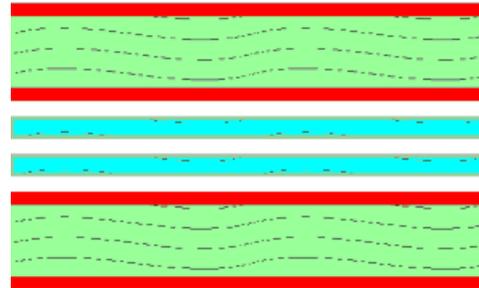
[Bild ml-stapel.gif]

In der LPT übliche Lagenaufbauten:

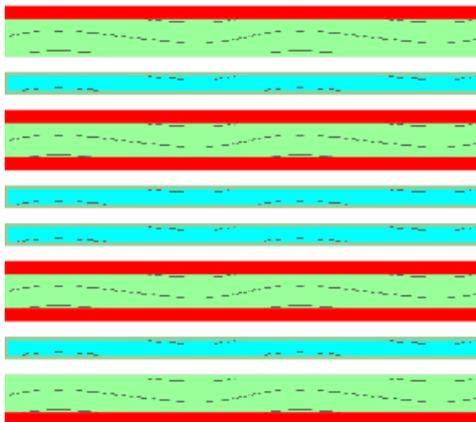
ML04-A



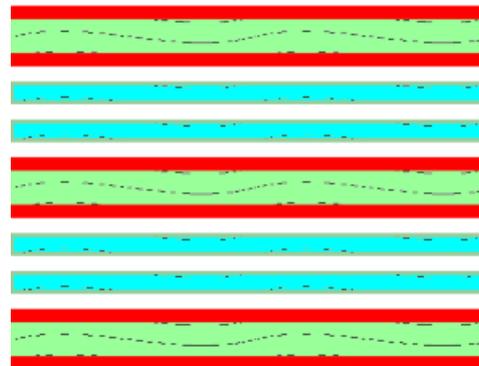
ML04-B



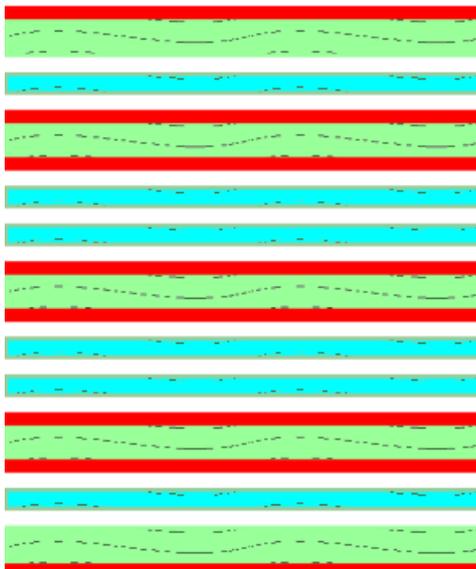
ML06-A



ML06-B



ML08-A



ML08-B



-  Kern 1xCu
-  Prepreg
-  Kern 2xCu

9.2 Designregeln

Die Multilayer-Stärke ist die gesamte Dicke des verpressten Multilayer-Paketes. Diese resultiert aus der Summe der Dicke der einzelnen Kernen, der Dicke der Prepregs (-20%) und den Kupferschichten. Je dünner ein Multilayer wird, desto größer ist die Gefahr von Verformung und Verwindung.

Der Nenndurchmesser "d" ist der gewünschte Enddurchmesser, also bei bedrahteten Bauteilen (THT) der Durchmesser des Anschlusspins / Anschlussdrahtes. Gebohrt wird i.d.R. 200µm größer.

Die Designregeln für Lötstopmmaske und Bestückungsdruck sind dieselben wie für zweiseitige Leiterplatten.

Abstände und Breiten für Kupferstrukturen sind minimal bis zu den Werten von Feinleiterstrukturen (siehe 3. Entwurfsraster) zu verwenden.

Nenndurchmesser Bohrung = d

Minimaler Nenndurchmesser

- d = 16 mil = 0,4 mm
bei Multilayer-Stärke < 1,9 mm
- d = 8 mil = 0,2 mm
bei Multilayer-Stärke < 1,2 mm

PAD-Durchmesser Außen = D

$$D = d + 24 \text{ mil} = d + 0,6 \text{ mm}$$

Minimaler Restring = $(D - d) / 2$

$$(D - d) / 2 = 12 \text{ mil} = 0,3 \text{ mm}$$

Mindestisolation Außen = A

$$A = 8 \text{ mil} = 0,2 \text{ mm}$$

(bei Cu-Flächen 10 mil)

PAD-Durchmesser Innen = D

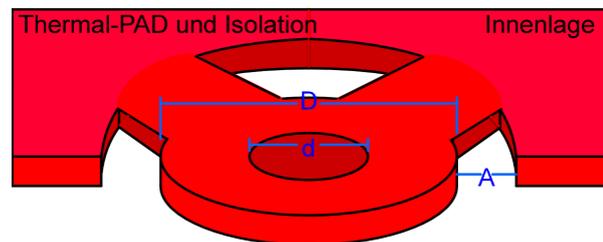
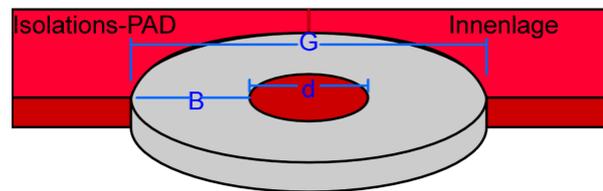
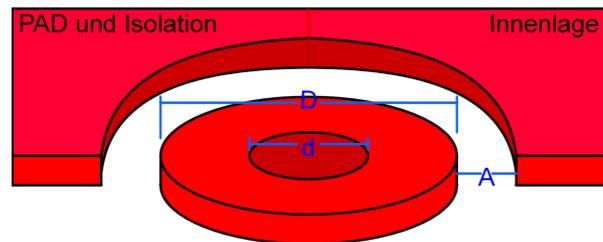
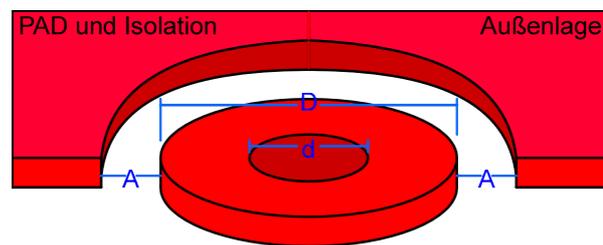
$$D = d + 24 \text{ mil} = d + 0,6 \text{ mm}$$

Mindestisolation Innen = B

$$B = 8 \text{ mil}$$

Isolations-PAD in PGPs = G

$$G = d + 32 \text{ mil} = d + 0,8 \text{ mm}$$



[Bild ml-rules.gif]

PGP-Lagen mit Versorgungsspannung und GND möglichst mit geringem Abstand aufeinander folgend und keine Signallagen dazwischen.

Schlitze durch Isolations-PADs auf PGP-Lagen vermeiden.

Bei impedanzkontrollierten Leiterbahnen und Hochfrequenzsignalen diese zusammen mit dem zugehörigen Masse-Potential auf *einen* Kern legen (oben Signal, unten GND).

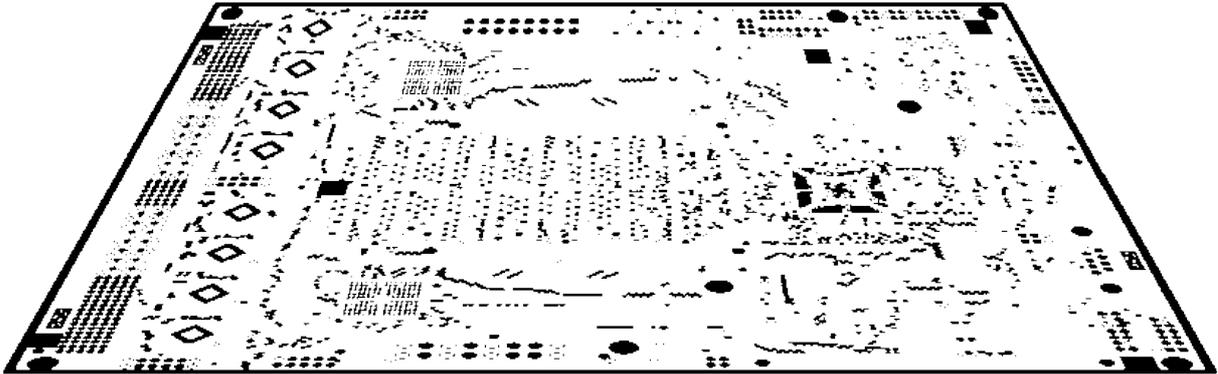
Auf Innenlagen erfolgt keine galvanische Verstärkung des Kupfers.

9.3 Power/Ground –Planes (PGPs)

PGPs dienen zur vollflächigen Verteilung von Masse und Versorgungsspannungen über die Leiterplatte, zur Wärmeableitung und zur Abschirmung.

PGPs sind **immer** Innenlagen. Potentialgebundene Kupferflächen auf Außenlagen und auf innen liegenden Signallagen, sind Potentialflächen, Masseflächen, Schirmflächen, Shieldareas, Copperareas oder Versorgungskupferflächen. Kupferflächen ohne definiertes Potential nennt man Kupferinseln und sollten vermieden werden (verursachen Störungen).

PGPs werden als Negativ erstellt, d.h. dort wo keine Struktur ist bleibt bei der Leiterplatte Kupfer stehen.



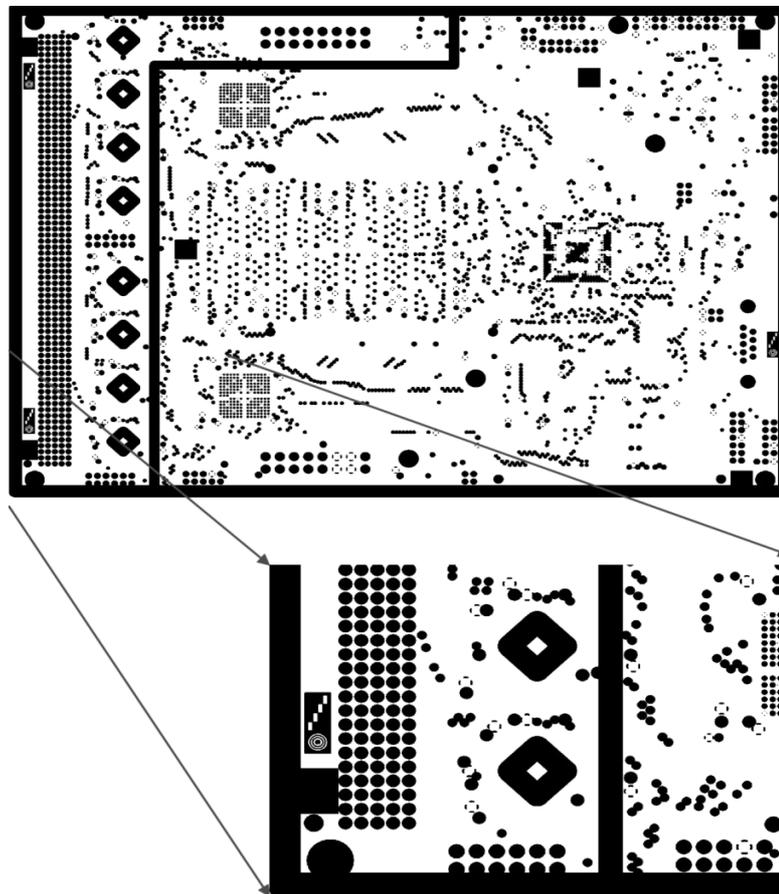
[Bild ml_pgp.gif]

Auf *PGPs* dürfen **keine** Leiterbahnen geführt werden.

Unterschiedliche Signalbereiche, wie z.B. Digital-Masse, Analog-Masse, Vcc, etc., können gemeinsam auf eine Ebene gelegt werden, müssen dort (meist manuell) durch Linien (die im Negativ eine Isolation darstellen) separiert werden.

Die Konturen einer *PGP* müssen durch eine Begrenzungslinie (ca. 40 mil) freigestellt sein.

Nichtdurchkontaktierte Bohrungen müssen in einem *PGP* immer ausreichend freigestellt sein.



[Bild pgp_lage.gif]

A. Abkürzungen / Erläuterungen

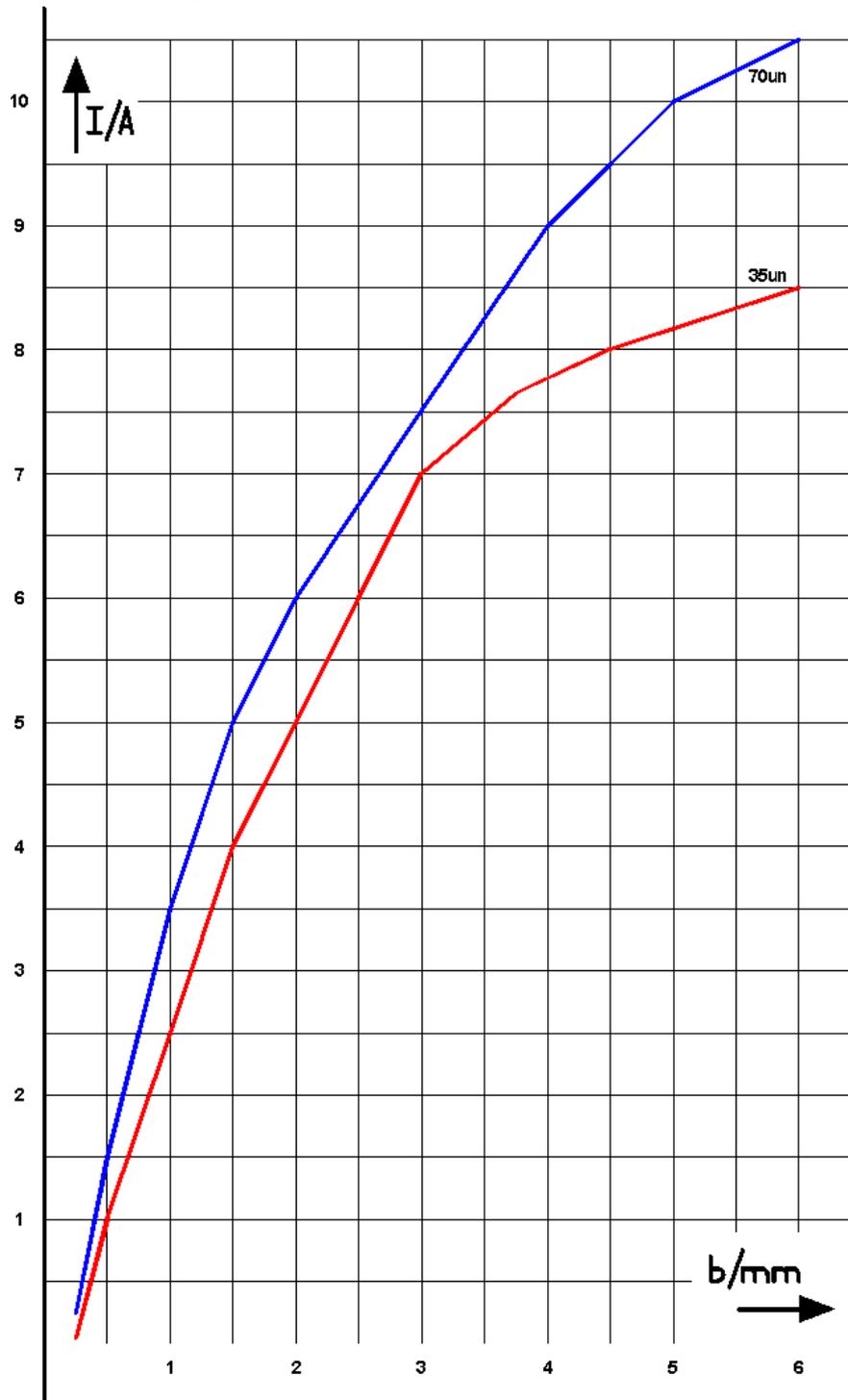
- **LSM** *Lötstopmmaske* Schutzlack für Leiterplatten zur Lötstellenabgrenzung oder Maske/Film/Datenlage zur Maskierung des Schutzlackes
- **SM** *Soldermask* Schutzlack für Leiterplatten zur Lötstellenabgrenzung oder Maske/Film/Datenlage zur Maskierung des Schutzlackes
- **SS** *Silkscreen* Bestückungsdruck, Signierlack für Leiterplatten zur Maske/Film/Datenlage zur Maskierung des Drucklackes
- **Cu** *Kupfer*
- **PAD** *Bauteileanschluss* Ist die elektrische (und mechanische) Verbindung zwischen Bauteil und Leiterplatte auf der Leiterplatte
- **PIN** *Bauteileanschluss* Ist die elektrische (und mechanische) Verbindung zwischen Bauteil und Leiterplatte am Bauteil
- **SMD** *Surface Mounted Device* Oberflächenmontiertes Bauteil
- **SMT** *Surface Mounted Technologie* Bezeichnung für Bauteile mit Anschlusspins für die Oberflächenmontage
- **THT** *Through Hole Technologie* Bezeichnung für bedrahtete Bauteile / Bauteile mit Anschlusspins für die Durchsteckmontage
- **VIA** *Vertikaler Lagenwechsler* Durchkontaktierung ohne Bauteileanschluss, dient zum vertikalen verbinden von Leiterzügen / Potentialflächen
- **LPT** *Leiterplattentechnologie* Abkürzung für die Leiterplattentechnologie der der Fakultät für Ingenieurwissenschaften der Universität Ulm
- **NDK** *Nicht-Durchkontaktierte Bohrung* Bohrung (Ausbruch oder Langloch) die nicht durchkontaktiert sein darf
- **DK** *Durchkontaktierte Bohrung* Bohrung (Ausbruch oder Langloch) die durchkontaktiert sein muss
- **FR4** Basismaterialbezeichnung Epoxydharz mit Glasfasergewebe Epsilon R 4 .. 5,4. Standardmaterial für Leiterplatten. Bezeichnung NEMA => FR4 , MIL => GF, IEC => EP-GC-Cu
- **PGP** *Power-Ground-Planes* Leiterplatteninnenlagen (vollflächig) auf denen nur Versorgungs- oder Massepegel ausgeführt sind

B. Tabellen und Graphen

Strombelastbarkeit von Leiterbahnen Graph 1

Die folgenden Schaubilder und Wertangaben gelten für Einzelleiterbahnen bei ungehinderter Konvektion.

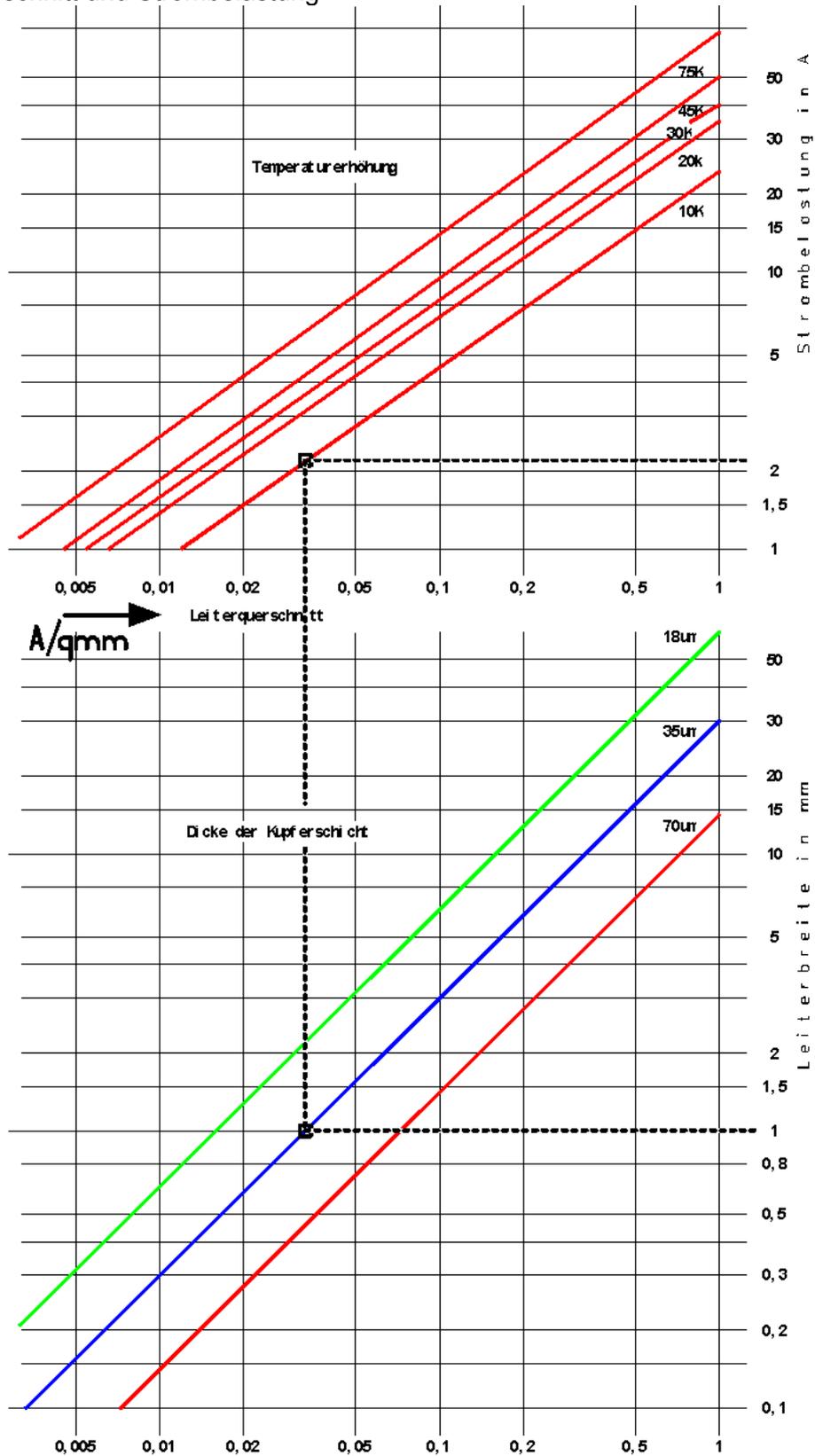
Schlechte Kühlung oder eine Anhäufung stromführender Leiterbahnen wird die Temperatur auf der Leiterplatte ansteigen lassen.



Strombelastbarkeit in Abhängigkeit von Leiterbahnbreite und Cu-Schichtdicke

Strombelastbarkeit von Leiterbahnen Graph 2

Temperaturerhöhung in Abhängigkeit von Leiterbreite, Leiterquerschnitt und Strombelastung



Faustregel für Ströme kleiner 3A und Cu-Schicht mind. 50µm:
 100mA Strom je 0,1mm Leiterbreite

Physikalische Stoffwerte

Werkstoff	Spez. Widerstand in Ohm * mm ² /m	Temperaturbeiwert a * 10 ⁻³ 1/K	Wärmeleitfähigkeit W/m * K
Kupfer (Cu)	0,0178	3,90	395
Aluminium (Al)	0,0303	3,77	231
Blei (Pb)	0,2100	4,20	35
Gold (Au)	0,0230	4,10	310
Silber (Ag)	0,0161	3,80	410
Zinn (Sn)	0,1100	4,40	66
Eisen (Fe)	0,1300	4,60	72